

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028428

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01L 27/115
G11C 16/04
H01L 27/04
H01L 21/822
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 11-200242

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing : 14.07.1999

(72)Inventor : KOBAYASHI TAKASHI

KURATA HIDEAKI

KOBAYASHI NAOKI

KUME HITOSHI

KIMURA KATSUTAKA

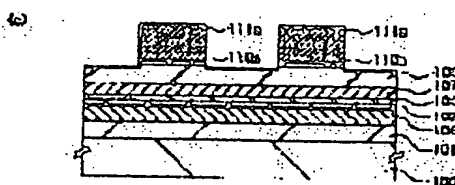
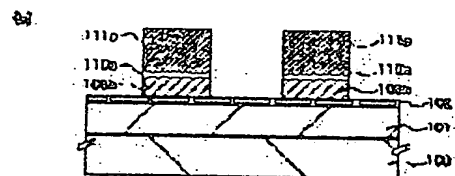
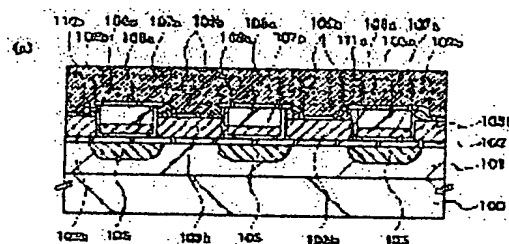
SAEKI SHUNICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND MANUFACTURE AND OPERATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To aim at miniaturization of a semiconductor integrated circuit device and the speeding up of the operating speed of the device and also to aim at reduction in the defect density in insulating films in the device having third gates.

SOLUTION: A semiconductor circuit device has a first conductivity-type well 101 formed in a semiconductor substrate 100, second conductivity type source/drain diffused layer regions 105 in a well 101, floating gates 103b formed on the substrate 100 via an insulating film 102, control gates 111a formed via each gate 103b and an insulating film 110a, a word line formed by connecting the gates 111a with each other and third gates 107a which are formed via the substrate 100, the gates 103b, the gates 111a and the film 110a and are different from the gates 103b and the gates 111a. In this case, the above gates 107a are arranged, in such a way that the gates 107a are embedded and exist in the gaps between the gates 103b existing in the directions vertical to the word line and a channel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-28428
(P2001-28428A)

(43)公開日 平成13年1月30日(2001.1.30)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル [*] (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 B 0 2 5
G 1 1 C 16/04		G 1 1 C 17/00	6 2 2 Z	5 F 0 0 1
H 0 1 L 27/04		H 0 1 L 27/04	H	5 F 0 3 8
21/822		29/78	3 7 1	5 F 0 8 3
21/8247				

審査請求 未請求 請求項の数76 O L (全 65 頁) 最終頁に続く

(21)出願番号 特願平11-200242

(22)出願日 平成11年7月14日(1999.7.14)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 小林 孝

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

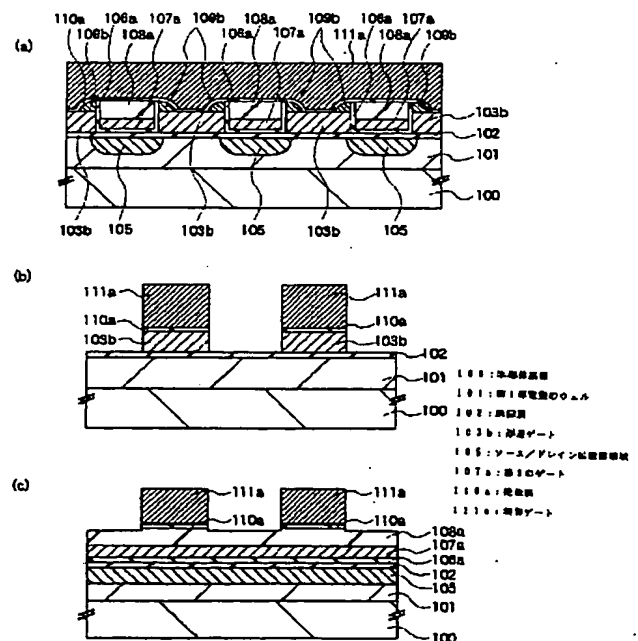
(54)【発明の名称】 半導体集積回路装置およびその製造方法ならびにその動作方法

(57)【要約】

【課題】 第3ゲートを有する半導体集積回路装置において、微細化と動作速度向上を図るとともに絶縁膜の欠陥密度低減を図る。

【解決手段】 半導体基板100中に形成された第1導電型のウェル101と、ウェル101中の第2導電型のソース/ドレイン拡散層領域105と、半導体基板100上に絶縁膜102を介して形成された浮遊ゲート103bと、浮遊ゲート103bと絶縁膜110aを介して形成された制御ゲート111aと、前記制御ゲートを接続して形成されたワード線と、前記半導体基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲート及び制御ゲートとは異なる第3のゲート107aを有する半導体集積回路装置において、上記第3のゲートがワード線及びチャネルと垂直な方向に存在する浮遊ゲートの隙間に埋込まれて存在するように配置する。

図 2



【特許請求の範囲】

【請求項 1】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に第 1 方向に延在して形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、

前記第 3 ゲートが、前記第 1 方向に延在して形成され、前記第 1 ゲートの隙間に埋め込んで形成されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、

前記第 1 ゲートが、前記第 3 ゲートに対して対称に、また前記第 3 ゲートが前記第 1 ゲートに対して対称に形成されていることを特徴とする半導体集積回路装置。

【請求項 3】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に第 1 方向に延在して形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、第 3 ゲートとを有し、

前記第 3 ゲートの端面が、隣接する前記第 1 ゲート間に対向する端面であって前記第 1 方向に平行して存在する前記第 1 ゲートの端面と第 3 絶縁膜を介して対向して形成されていることを特徴とする半導体集積回路装置。

【請求項 4】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 3 ゲートの上面が、前記第 1 ゲート上面より低い位置に存在することを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1～4 のいずれか一項に記載の半導体集積回路装置であって、

前記第 1 ゲートが浮遊ゲートであり、前記第 2 ゲートが制御ゲートであり、前記第 3 ゲートが消去ゲートである第 1 の構成、

前記第 1 ゲートが浮遊ゲートであり、前記第 2 ゲートが制御ゲートであり、前記第 3 ゲートがスプリットチャネルを制御するゲートである第 2 の構成、

前記第 1 ゲートが浮遊ゲートであり、前記第 2 ゲートが制御ゲートであり、前記第 3 ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有するゲートである第 3 の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置であって、

前記第 3 ゲートは、その一部分が前記第 2 導電型の半導体領域の上に存在することを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1～4 のいずれか一項に記載の半導体集積回路装置であって、

前記第 1 ゲートが浮遊ゲートであり、前記第 2 ゲートが制御ゲートであり、前記第 3 ゲートが消去ゲートであり、

前記第 3 ゲートは、その全面が前記第 2 導電型の半導体領域の上に存在することを特徴とする半導体集積回路装置。

【請求項 8】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 3 ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有することを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1～8 のいずれか一項に記載の半導体集積回路装置であって、

前記第 3 絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項 10】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 1 絶縁膜の膜厚が、前記第 2 または第 3 絶縁膜のいずれか一方の膜厚に比較して大きいことを特徴とする半導体集積回路装置。

【請求項 11】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 2 ゲートが、ポリシリコン膜と金属珪化物膜の積層膜で構成され、前記第 1 ゲート間の隙間に第 3 ゲートが埋込まれて存在することを特徴とする半導体集積回路装置。

【請求項 12】 請求項 11 記載の半導体集積回路装置であって、

前記金属珪化物膜がタングステンシラサイド膜であることを特徴とする半導体集積回路装置。

【請求項 13】 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介し

て形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、前記第2ゲートが、金属膜を含む積層膜で構成されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、前記第2ゲートが、ポリシリコン膜とバリア金属膜と金属膜との積層膜で構成されていることを特徴とする半導体集積回路装置。

【請求項15】 請求項13または14記載の半導体集積回路装置であって、前記第1ゲート間の隙間に第3ゲートが埋込まれて存在することを特徴とする半導体集積回路装置。

【請求項16】 請求項13、14または15記載の半導体集積回路装置であって、前記バリア金属膜が、タングステン膜、チタン膜、タantal膜、単体遷移金属元素からなる金属膜またはその窒化物膜もしくは珪化物膜、またはアルミニウム窒化物膜、コバルトシリサイド膜、モリブデンシリサイド膜、チタンタングステン膜、またはそれらの合金膜のいずれかに属することを特徴とする半導体集積回路装置。

【請求項17】 請求項11～16のいずれか一項に記載の半導体集積回路装置であって、前記第1ゲート間の隙間が、前記第1ゲートの端面のうち前記第2ゲートの延在方向に平行な端面で形成されている第1の構成、前記第1ゲート間の隙間が、前記第1ゲートの端面のうち前記第2ゲートの延在方向に垂直な端面で形成されている第2の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項18】 半導体基板中に形成された第1導電型のウェルと、前記ウェル中に形成された第2導電型の半導体領域と、前記半導体領域を接続して形成されたローカルソース線およびローカルデータ線と、前記ローカルソース線およびローカルデータ線を選択する選択トランジスタと、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲートと第2絶縁膜を介して形成された第2ゲートと、前記第2ゲートを接続して形成されたワード線と、前記第1ゲートと第3絶縁膜を介して形成され、第1および第2ゲートとは機能の異なる第3ゲートとを有する半導体集積回路装置であって、前記第3ゲートの結束部が、前記選択トランジスタにより構成されるメモリセルブロック内で前記選択トランジスタに最も近い位置に存在するワード線と、前記選択トランジスタのゲートとの間に存在することを特徴とする半導体集積回路装置。

【請求項19】 請求項18記載の半導体集積回路装置

であって、

前記第3ゲートの結束部分と、前記メモリセルブロック内の前記選択トランジスタに最も近く存在するワード線との間にダミーゲートが存在することを特徴とする半導体集積回路装置。

【請求項20】 請求項18または19記載の半導体集積回路装置であって、

前記メモリセルブロック内に存在する第3ゲートのすべてが、前記メモリセルブロック端のいずれか一方または両方で結束されている第1の構成、

前記メモリセルブロック内に存在する第3ゲートが、前記メモリセルブロック端で1本おきに結束されている第2の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項21】 請求項20記載の半導体集積回路装置であって、

前記第3ゲートの結束部分にコンタクト孔が配置されている第1の構成、

前記第3ゲートと前記ダミーゲートとが、コンタクト孔と金属配線とを介して接続されている第2の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項22】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、前記第1導電型のウェルがp型であり、前記第3ゲート、前記ウェルおよび前記半導体領域の一方であるソースの電位に対して正電位を前記第2ゲートである制御ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、前記制御ゲートの電位に対し正電位を前記第3ゲートに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項23】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、前記第1導電型のウェルがn型であり、前記第3ゲート、前記ウェルおよび前記半導体領域の一方であるソースの電位に対して負電位を前記第2ゲートである制御ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、

と第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがp型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して正電位を前記第2ゲートである制御ゲート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記ウェルの電位に対し負電位を前記制御ゲートに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項31】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがp型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して正電位を前記第2ゲートである制御ゲート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記制御ゲートの電位に対し正の電位を前記ウェルに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項32】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがp型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して正電位を前記第2ゲートである制御ゲート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記制御ゲートの電位に対し正の電位をソースまたはドレインの一方に印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項33】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがn型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して負電位を前記第2ゲートである制御ゲ

ート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記制御ゲートの電位に対し正電位を前記第3ゲートに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項34】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがn型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して負電位を前記第2ゲートである制御ゲート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記ウェルの電位に対し負電位を前記制御ゲートに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項35】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、
第1導電型のウェルがn型であり、
前記ウェルおよび前記半導体領域の一方であるソースの電位に対して負電位を前記第2ゲートである制御ゲート、前記第3ゲートおよび前記半導体領域の他方であるドレインに印加することにより書き込みを行い、
前記制御ゲートの電位に対し正の電位を前記ウェルに印加することにより消去を行うことを特徴とする半導体集積回路装置の動作方法。

【請求項36】 請求項22～35のいずれか一項に記載の半導体集積回路装置の動作方法であって、
前記書き込みの際、第3ゲートの電位の絶対値が、制御ゲートの電位の絶対値に比べ小さいことを特徴とする半導体集積回路装置の動作方法。

【請求項37】 請求項22～36のいずれか一項に記載の半導体集積回路装置の動作方法であって、
前記書き込みによって形成されるしきい値の分布が4レベル以上であることを特徴とする半導体集積回路装置の動作方法。

【請求項38】 (a) 半導体基板中に第1導電型のウェルを形成する工程と、
(b) 前記半導体基板上に第1絶縁膜を介して第1ゲートとなるストライプ状のパターンを形成する工程と、
(c) 前記ウェル中に前記パターンに対して平行に延在

する第2導電型の半導体領域を形成する工程と、

(d) 前記ストライプ状のパターンによって形成される隙間に、第3絶縁膜を形成し、さらに第3ゲートを前記パターンの隙間を埋め込むように形成する工程と、

(e) 前記ストライプ状のパターンと垂直な方向に延在する第2ゲートパターンを形成する工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項39】 請求項38記載の半導体集積回路装置の製造方法であって、

前記第1ゲートとなるストライプ状のパターンが第3ゲートに対し対称に、また前記第3ゲートが第1ゲートとなるストライプ状のパターンに対し対称に存在するように加工することを特徴とする半導体集積回路装置の製造方法。

【請求項40】 請求項39記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは前記ストライプ状のパターンに対し自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項41】 (a) 半導体基板中に第1導電型のウェルを形成する工程と、

(b) 前記半導体基板上に第1絶縁膜を介して第1ゲートを形成する工程と、

(c) 前記ウェル中に第2導電型の半導体領域を形成する工程と、

(d) 前記第1ゲートによって形成される隙間に、第3絶縁膜を形成し、さらに第3ゲートを前記パターンの隙間を埋め込むように形成する工程と、

(e) 第2ゲートを形成する工程と、を含み、前記第3ゲートの表面が前記第1ゲートの表面より低い位置となるよう第3ゲートを加工することを特徴とする半導体集積回路装置の製造方法。

【請求項42】 請求項38～41のいずれか一項に記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、その全面が前記第2導電型の半導体領域の上に存在するように形成される第1の方法、

前記第3ゲートは、その一部分が前記第2導電型の半導体領域の上に存在するように形成される第2の方法、

の何れかの方法を有することを特徴とする半導体集積回路装置の製造方法。

【請求項43】 請求項38～41のいずれか一項に記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、その一部分が前記第2導電型の半導体領域の上に存在するように形成され、前記第2導電型の半導体領域を斜めイオン打込み法により形成することを特徴とする半導体集積回路装置の製造方法。

【請求項44】 請求項38～43のいずれか一項に記載の半導体集積回路装置の製造方法であって、前記第3絶縁膜が、窒素を添加したシリコン酸化膜であ

ることを特徴とする半導体集積回路装置の製造方法。

【請求項45】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の製造方法であって、

前記第2ゲートをポリシリコン膜と金属珪化物膜との積層膜とし、前記第2ゲートの形成は前記第3ゲートの形成より後の工程とすることを特徴とする半導体集積回路装置の製造方法。

【請求項46】 請求項45記載の半導体集積回路装置の製造方法であって、

前記金属珪化物膜がタングステンシリサイド膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項47】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の製造方法であって、

前記第2ゲートが、金属膜を含む積層膜で構成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項48】 請求項47記載の半導体集積回路装置の製造方法であって、

前記第2ゲートが、ポリシリコン膜とバリアメタル膜と金属膜との積層膜で構成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項49】 請求項47または48記載の半導体集積回路装置の製造方法であって、

前記第2ゲートが、前記第1ゲート間の隙間に第3ゲートが埋込まれて存在することを特徴とする半導体集積回路装置の製造方法。

【請求項50】 請求項47記載の半導体集積回路装置の製造方法であって、

前記バリアメタル膜が、タングステン膜、チタン膜、タantal膜、単体遷移金属元素からなる金属膜またはその窒化物膜もしくは珪化物膜、またはアルミニウム窒化物膜、コバルトシリサイド膜、モリブデンシリサイド膜、チタンタングステン膜、またはそれらの合金膜のいずれかに属することを特徴とする半導体集積回路装置の製造方法。

【請求項51】 半導体基板中に形成された第1導電型のウェルと、前記ウェル中に形成された第2導電型の半導体領域と、前記半導体領域を接続して形成されたローカルソース線およびローカルデータ線と、前記ローカルソース線およびローカルデータ線を選択する選択トランジスタと、前記半導体基板上に第1絶縁膜を介して形成

された第1ゲートと、前記第1ゲートと第2絶縁膜を介して形成された第2ゲートと、前記第2ゲートを接続して形成されたワード線とを有し、

前記選択トランジスタで区切られるローカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、前記メモリセルブロックが前記ワード線方向に配列されてメモリセルアレイが構成される半導体集積回路装置であって、

前記メモリセルブロックを挟んで両側に、前記ワード線と同一方向に配設された各々1本ずつの電源線を有し、前記ローカルソース線およびローカルデータ線は、前記選択トランジスタを介して、前記電源線の一方と前記ワード線に垂直な方向に配線された信号線とに接続され、または、前記電源線の両方に接続されることを特徴とする半導体集積回路装置。

【請求項52】 請求項51記載の半導体集積回路装置であって、

前記ローカルデータ線のうちのローカルデータ線は、前記選択トランジスタを介して、電源線と信号線との両方に接続される第1の構成、

前記ローカルデータ線のうちのローカルデータ線が、前記メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、前記一のローカルデータ線に隣接する隣接ローカルデータ線が、前記メモリセルブロックの他端で選択トランジスタを介して前記信号線に接続される第2の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項53】 請求項52記載の半導体集積回路装置であって、

前記ローカルデータ線のうちのローカルデータ線は、前記メモリセルブロックの一端で前記選択トランジスタを介して信号線に接続され、前記メモリセルブロックの他端で前記選択トランジスタを介して電源線に接続されることを特徴とする半導体集積回路装置。

【請求項54】 請求項53記載の半導体集積回路装置であって、

前記ワード線の延在方向に垂直な方向に配設した信号線と n 番目(n は整数)に配設されたローカルデータ線とを接続する第1選択トランジスタ、前記メモリセルブロックの一端に前記ワード線と同一方向に配設した電源線と $n+1$ 番目のローカルデータ線とを接続する第2選択トランジスタ、前記信号線と $n+1$ 番目のローカルデータ線とを接続する第3選択トランジスタ、および、前記メモリセルブロックの他端にワード線と同一方向に配設した電源線と n 番目のローカルデータ線とを接続する第4選択トランジスタを有し、

前記第1および第2選択トランジスタのゲート信号が同一信号であり、前記第3および第4選択トランジスタのゲート信号が同一信号であることを特徴とする半導体集

積回路装置。

【請求項55】 請求項51記載の半導体集積回路装置であって、

前記ローカルソース線と前記ローカルデータ線に接続される選択トランジスタのゲート信号が同一信号である第1の構成、

前記ローカルソース線に接続される全ての選択トランジスタのゲート信号が同一信号である第2の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項56】 半導体基板中に形成された第1導電型のウェルと、前記ウェル中に形成された第2導電型の半導体領域と、前記半導体領域を接続して形成されたローカルソース/データ線と、前記ローカルソース/データ線を選択する選択トランジスタと、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲートと第2絶縁膜を介して形成された第2ゲートと、前記第2ゲートを接続して形成されたワード線とを有し、

前記選択トランジスタで区切られるローカルソース/データ線上のメモリセルでメモリセルブロックが構成され、前記メモリセルブロックが前記ワード線方向に配列されてメモリセルアレイが構成され、

前記ローカルソース/データ線は、それが前記メモリセルのローカルソース線として機能する場合には隣接するメモリセルのローカルデータ線として機能する半導体集積回路装置であって、

前記メモリセルブロックを挟んで両側に、前記ワード線と同一方向に配設された各々1本ずつの電源線と、前記ワード線に垂直な方向に配線した信号線とを有し、

前記ローカルソース/データ線は、前記選択トランジスタを介して、前記電源線のうち何れか一方と前記信号線との両方に接続されることを特徴とする半導体集積回路装置。

【請求項57】 請求項56記載の半導体集積回路装置であって、

n 番目(n は整数)の前記ローカルソース/データ線が、前記メモリセルブロックの一端で前記選択トランジスタを介して前記信号線に接続され、 $n+1$ 番目の前記ローカルソース/データ線が、前記メモリセルブロックの他端で前記選択トランジスタを介して前記信号線に接続される第1の構成、

n 番目(n は整数)の前記ローカルソース/データ線が、前記メモリセルブロックの一端で前記選択トランジスタを介して前記電源線に接続され、 $n+1$ 番目の前記ローカルソース/データ線が、前記メモリセルブロックの他端で前記選択トランジスタを介して前記電源線に接続される第2の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項 58】 請求項 56 または 57 記載の半導体集積回路装置であって、

1 本の前記ローカルソース／データ線は、前記メモリセルブロックの一端で前記選択トランジスタを介して前記信号線に接続され、前記メモリセルブロックの他端で前記選択トランジスタを介して前記電源線に接続されることを特徴とする半導体集積回路装置。

【請求項 59】 請求項 58 記載の半導体集積回路装置であって、

ワード線と垂直方向に配線した信号線と n 番目 (n は整数) のローカルソース／データ線とを接続する第 1 選択トランジスタ、前記メモリセルブロックの一端にワード線と同一方向に配線した電源線と $n+1$ 番目のローカルソース／データ線とを接続する第 2 選択トランジスタ、前記信号線と $n+1$ 番目のローカルソース／データ線とを接続する第 3 選択トランジスタ、および、前記メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース／データ線とを接続する第 4 選択トランジスタを有し、

前記第 1 および第 2 選択トランジスタのゲート信号が同一信号であり、前記第 3 および第 4 選択トランジスタのゲート信号が同一信号であることを特徴とする半導体集積回路装置。

【請求項 60】 請求項 56 ～ 59 のいずれか一項に記載の半導体集積回路装置であって、

ワード線と垂直方向に配線した 1 本の信号線は、ローカルソース／データ線 2 本分で共用する第 1 の構成、前記ローカルソース／データ線と、前記信号線とを選択トランジスタを介して接続する場合、選択トランジスタのローカルソース／データ線とは異なる側の半導体領域と前記信号線との接続部分は、2 つのメモリセルブロック間で共用する第 2 の構成、

前記電源線は、2 つのメモリセルブロック間で共用する第 3 の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項 61】 半導体基板中に形成された第 1 導電型のウェルと、前記ウェル中に形成された第 2 導電型の半導体領域と、前記半導体領域を接続して形成されたローカルソース／データ線と、前記ローカルソース／データ線を選択する選択トランジスタと、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲートと第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 2 ゲートを接続して形成されたワード線と、前記第 1 ゲートと第 3 絶縁膜を介して形成され、第 1 および第 2 ゲートとは機能の異なる第 3 ゲートとを有し、前記選択トランジスタで区切られるローカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、前記メモリセルブロックが前記ワード線方向に配列されてメモリセルアレイが構成される半導

体集積回路装置であって、

前記第 3 ゲートの結束部が、前記メモリセルブロック内で前記選択トランジスタに最も近い位置に存在するワード線と、前記選択トランジスタのゲートとの間に存在し、

前記メモリセルブロック内に存在する第 3 ゲートが、前記メモリセルブロック端で 1 本おきに結束され、前記メモリセルブロックを挟んで両側に、前記ワード線と同一方向に配線された各々 1 本ずつの電源線と、前記ワード線に垂直な方向に配線した信号線とを有し、前記ローカルソース／データ線は、選択トランジスタを介して、前記電源線の内いずれか一方および前記信号線の両方に接続されることを特徴とする半導体集積回路装置。

【請求項 62】 請求項 61 記載の半導体集積回路装置であって、

n 番目 (n は整数) の前記ローカルソース／データ線が、前記メモリセルブロックの一端で前記選択トランジスタを介して信号線に接続され、 $n+1$ 番目の前記ローカルソース／データ線が、前記メモリセルブロックの他端で前記選択トランジスタを介して前記信号線に接続される第 1 の構成、

n 番目 (n は整数) の前記ローカルソース／データ線が、前記メモリセルブロックの一端で前記選択トランジスタを介して前記電源線に接続され、 $n+1$ 番目の前記ローカルソース／データ線が、前記メモリセルブロックの他端で選択トランジスタを介して前記電源線に接続される第 2 の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項 63】 請求項 61 または 62 記載の半導体集積回路装置であって、

1 本の前記ローカルソース／データ線は、前記メモリセルブロックの一端で前記選択トランジスタを介して前記信号線に接続され、前記メモリセルブロックの他端で前記選択トランジスタを介して前記電源線に接続されることを特徴とする半導体集積回路装置。

【請求項 64】 請求項 63 に記載の半導体集積回路装置であって、

ワード線と垂直方向に配線した信号線と n 番目 (n は整数) のローカルソース／データ線とを接続する第 1 選択トランジスタ、前記メモリセルブロックの一端にワード線と同一方向に配線した電源線と $n+1$ 番目のローカルソース／データ線とを接続する第 2 選択トランジスタ、前記信号線と $n+1$ 番目のローカルソース／データ線とを接続する第 3 選択トランジスタ、および、前記メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース／データ線とを接続する第 4 選択トランジスタを有し、

前記第 1 および第 2 選択トランジスタのゲート信号が同

一信号であり、前記第3および第4選択トランジスタのゲート信号が同一信号であることを特徴とする半導体集積回路装置。

【請求項65】 請求項61～64のいずれか一項に記載の半導体集積回路装置であって、ワード線と垂直方向に配線した1本の信号線は、ローカルソース／データ線2本分で共用する第1の構成、前記ローカルソース／データ線と、前記信号線とを選択トランジスタを介して接続する場合、選択トランジスタのローカルソース／データ線とは異なる側の半導体領域と前記信号線との接続部分は、2つのメモリセルブロック間で共用する第2の構成、前記電源線は、2つのメモリセルブロック間で共用する第3の構成、前記ローカルソース／データ線は、選択トランジスタを介して、ワード線と垂直方向に配線した信号線に接続し、前記信号線にセンス回路を接続し、 n 番目(n は整数)の前記信号線に接続するセンス回路は、複数のメモリセルブロックからなるメモリセルアレイの一端で接続し、 $n+1$ 番目の前記信号線に接続するセンス回路は前記メモリセルアレイの他端で接続する第4の構成、前記選択トランジスタを介してローカルソース／データ線と接続される前記信号線と、センス回路の間にスイッチを設け、前記スイッチを切換えることにより、1つのセンス回路を複数の前記信号線で共用する第5の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項66】 半導体基板中に形成された第1導電型のウェルと、前記ウェル中に形成された第2導電型の半導体領域と、前記半導体領域を接続して形成されたローカルソース／データ線と、前記ローカルソース／データ線を選択する選択トランジスタと、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲートと第2絶縁膜を介して形成された第2ゲートと、前記第2ゲートを接続して形成されたワード線と、前記第1ゲートと第3絶縁膜を介して形成され、第1および第2ゲートとは機能の異なる第3ゲートとを有し、前記選択トランジスタで区切られるローカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、前記メモリセルブロックが前記ワード線方向に配列されてメモリセルアレイが構成される半導体集積回路装置であって、前記第3ゲートの結束部が、前記メモリセルブロック内で前記選択トランジスタに最も近い位置に存在するワード線と、前記選択トランジスタのゲートとの間に存在し、前記メモリセルブロック内に存在する第3ゲートが、前記メモリセルブロック端で1本おきに結束され、前記メモリセルブロックを挟んで両側に、前記ワード線

と同一方向に配設された各々1本ずつの電源線と、前記ワード線に垂直な方向に配線した信号線とを有し、前記ローカルソース／データ線は、前記選択トランジスタを介して、前記電源線と前記信号線の両方へ接続することを特徴とする半導体集積回路装置。

【請求項67】 請求項66記載の半導体集積回路装置であって、前記ローカルソース／データ線は、選択トランジスタを介して前記信号線に接続し、前記接続は全て、メモリセルブロックの一端で行なわれる第1の構成、前記ローカルソース／データ線は、選択トランジスタを介してセルブロックの一端にワード線と同一方向に配線した電源線に接続し、前記接続は全て、メモリセルブロックの一端で行なわれる第2の構成、の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項68】 請求項66または67記載の半導体集積回路装置であって、

1本のローカルソース／データ線は、メモリセルブロックの一端で選択トランジスタを介して信号線に接続し、前記メモリセルブロックの他端で選択トランジスタを介して電源線に接続することを特徴とする半導体集積回路装置。

【請求項69】 請求項68記載の半導体集積回路装置であって、

ワード線と垂直方向に配線した信号線と n 番目(n は整数)のローカルソース／データ線とを接続する第1選択トランジスタ、前記信号線と $n+1$ 番目のローカルソース／データ線とを接続する第2選択トランジスタ、前記メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース／データ線とを接続する第3選択トランジスタ、および、前記電源線と $n+1$ 番目のローカルソース／データ線とを接続する第4選択トランジスタ、を有し、全ての前記第1選択トランジスタのゲート信号は同一信号であり、全ての前記第2選択トランジスタのゲート信号は同一信号であり、前記第1および第2の選択トランジスタのゲート信号は異なる信号であり、全ての前記第3選択トランジスタのゲート信号は同一信号であり、全ての前記第4選択トランジスタのゲート信号は同一信号であり、前記第3および第4の選択トランジスタのゲート信号は異なる信号であることを特徴とする半導体集積回路装置。

【請求項70】 請求項66～69のいずれか一項に記載の半導体集積回路装置であって、前記信号線は、ローカルソース／データ線2本分で共用

する第1の構成、

ローカルソース／データ線と前記信号線とを選択トランジスタを介して接続する場合、前記選択トランジスタのローカルソース／データ線とは異なる側の半導体領域と前記信号線との接続部分は、2つのメモリセルブロック間で共用する第2の構成、

前記電源線は、2つのメモリセルブロック間で共用する第3の構成、

ローカルソース／データ線は、選択トランジスタを介して前記信号線に接続し、前記信号線にセンス回路を接続し、 n 番目(n は整数)の前記信号線に接続するセンス回路は複数のメモリセルブロックからなるメモリセルアレイの一端で接続し、 $n+1$ 番目の前記信号線に接続するセンス回路は前記メモリセルアレイの他端で接続する第4の構成、

選択トランジスタを介してローカルソース／データ線と接続される前記信号線とセンス回路との間にスイッチを設け、前記スイッチを切換えることにより、1つのセンス回路を複数の前記信号線で共用する第5の構成、
の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項71】 半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に第1方向に延在して形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第2ゲートを接続して形成されたワード線と、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、前記第3ゲートが前記ワード線と垂直な方向に存在する第1ゲートの隙間に埋込まれて形成された半導体集積回路装置であって、
前記第3ゲートを駆動するためのデコーダが、前記ワード線の延在方向に配置されることを特徴とする半導体集積回路装置。

【請求項72】 請求項71記載の半導体集積回路装置であって、
前記第3ゲートを駆動するためのデコーダは、メモリセルアレイの一端に配置する第1の構成、
前記第3ゲートを駆動するためのデコーダは、選択トランジスタで囲まれた複数のワード線上に存在するメモリセルアレイからなるメモリセルブロックを選択するためのブロックデコーダに隣接して配置する第2の構成、
前記第3ゲートを駆動するためのデコーダは、前記メモリセルブロックを選択するためのブロックデコーダと隣接して、メモリセルアレイを挟んで両端に配置する第3の構成、
の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項73】 請求項20記載の半導体集積回路装置であって、

前記第3ゲートが前記ワード線と垂直な方向に存在する第1ゲートの隙間に埋込まれて形成され、

前記第3ゲートを駆動するためのデコーダが、前記ワード線の延在方向に配置されることを特徴とする半導体集積回路装置。

【請求項74】 請求項73記載の半導体集積回路装置であって、

前記第3ゲートを駆動するためのデコーダは、メモリセルアレイの一端に配置する第1の構成、

前記第3ゲートを駆動するためのデコーダは、前記メモリセルブロックを選択するためのブロックデコーダに隣接して配置される第2の構成、

前記第3ゲートを駆動するためのデコーダは、前記メモリセルブロックを選択するためのブロックデコーダと隣接して、メモリセルアレイを挟んで両端に配置する第3の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【請求項75】 請求項18または19記載の半導体集積回路装置であり、

前記メモリセルブロック内に存在する第3ゲートのすべてが、前記メモリセルブロック端のいずれか一方または両方で結束されている半導体集積回路装置であって、
前記第3ゲートの選択信号は、メモリセルブロックの選択信号から生成することを特徴とする半導体集積回路装置。

【請求項76】 請求項18または19記載の半導体集積回路装置であり、

前記メモリセルブロック内に存在する第3ゲートのすべてが、前記メモリセルブロック端のいずれか一方または両方で結束されている半導体集積回路装置であって、
前記第3ゲートの選択信号は、メモリセルブロックの選択信号と、前記メモリセルブロックを更に2分割するための信号から生成する第1の構成、

前記第3ゲートの選択信号は、選択トランジスタのゲート選択信号から生成する第2の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置およびその製造方法に関し、特に電氣的書き換えが可能な不揮発性半導体記憶装置の高集積化、高信頼化、低電圧動作を実現する技術に関する。

【0002】

【従来の技術】電氣的書き換えが可能な不揮発性半導体記憶装置のうち、一括消去が可能なものとしていわゆるフラッシュメモリが知られている。フラッシュメモリは携帯性、耐衝撃性に優れ、電氣的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータやデジ

タルスチルカメラ等の小型携帯情報機器のファイル（記憶装置）として急速に需要が拡大している。その市場の拡大にはメモリセル面積の縮小によるビットコストの低減が重要な要素であり、たとえば、1996年11月10日、応用物理学会発行、「応用物理」第65巻11号、p1114～p1124に記載されているように、これを実現する様々なメモリセル方式が提案されている。

【0003】また、たとえば、特許第2694618号公報（文献1）には3層ポリシリコンゲートを用いた仮想接地型のメモリセルが記載されている。すなわち、このメモリセルは、半導体基板中のウェルに形成された半導体領域および3つのゲートから構成される。3つのゲートは、ウェル上に形成された浮遊ゲート、浮遊ゲート上に形成された制御ゲート、および隣り合う制御ゲート、浮遊ゲート間に形成された消去ゲートである。3つのゲートはポリシリコンからなり、各々絶縁膜で分離され、浮遊ゲートとウェルとの間も絶縁膜で分離されている。制御ゲートは行方向に接続されてワード線を構成している。ソースおよびドレイン拡散層は列方向に形成され、隣接するメモリセルと拡散層を共用する仮想接地型である。これにより行方向のピッチ縮小を図っている。消去ゲートはチャネルと平行で、かつ、ワード線（制御ゲート）の間にワード線と平行に配置される。

【0004】この文献1記載のメモリセルへの書き込みの際は、ワード線およびドレインにそれぞれ独立した正の電圧を印加し、ウェル、ソースおよび消去ゲートは0Vとする。これによりドレイン近傍のチャネル部でホットエレクトロンが発生し、浮遊ゲートに電子が注入され、メモリセルのしきい値が上昇する。消去の際は、消去ゲートに正の電圧を印加し、ワード線、ソース、ドレインおよびウェルは0Vとする。これにより浮遊ゲートから消去ゲートに電子が放出され、しきい値が低下する。

【0005】また、たとえば特開平9-321157号公報（文献2）には、スプリットゲート型のメモリセルが開示され、拡散層と浮遊ゲートとのオーバーラップを大きくとり、拡散層の電位により浮遊ゲート電位を大とするとともに、ワード線に低い電圧を印加することにより、情報書き込みの際のホットエレクトロンの発生と注入効率を高める方法が提案されている。

【0006】また、たとえば国際ナショナル エレクトロニクス デバイス ミーティング テクニカル ダイジェスト1989、603頁から606頁（International Electron Devices Meeting, 1989, pp. 603-606）（文献3）には、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第3ゲートによりスプリットチャネルを制御する方法が論じられている。

【0007】

【発明が解決しようとする課題】しかし、前記したメモ

リセルにおいては、高集積化を進めるといくつかの問題が生じることを本発明者らは認識した。なお、以下の問題点は、本発明者らによって検討されたものであり、特に公知にされたわけではない。

【0008】第1に、メモリセルの微細化を図るためには、データ線が延在する方向に垂直な方向（データ線配置方向）の縮小とともにワード線が延在する方向に垂直な方向（ワード線配置方向）の縮小も必要である。ワード線配置方向の縮小には、ワード線幅およびワード線間隔の縮小が有効である。しかし、ワード線幅を縮小するとその抵抗値が増大し、書き込みや読出しの際、ワード線電圧の立上りが遅延してしまう。このため、動作速度が低下するといった問題を生じる。これを防ぐため、ワード線の材料としてポリシリコン単層膜に代えて、ポリシリコン膜とその金属シリサイド膜との積層膜（いわゆるポリサイド膜）を用いる手段がある。ポリサイド膜によれば、同じ膜厚のポリシリコン単層膜よりも抵抗値の低い膜が得られ、ワード線抵抗の上昇を抑えることができる。また、今後微細化が進みワード線幅が更に縮小される場合には、ポリサイド膜に代えて、ポリシリコン膜と金属膜との積層膜（いわゆるポリメタル膜）を用いる手段がある。ポリメタル膜によれば、同一膜厚のポリサイド膜よりもさらに抵抗値が低くでき、さらなるワード線幅の縮小に対処できる。

【0009】ところが、ワード線の材料としてポリサイド膜やポリメタル膜を用いると、以下のような問題を生じる。すなわち、前記文献に記載のメモリセルにあっては、データ線方向と垂直な方向に消去ゲートとワード線とが延在するように配置されている。このようなメモリセルにおいて、ワード線の間隔を最小加工寸法の2倍にまで縮小するためには、ワード線および浮遊ゲートを連続してパターニングした後、形成された浮遊ゲートの隙間に絶縁膜を形成し、この後、消去ゲートを形成する必要がある。ところが、浮遊ゲートと消去ゲートとの間の絶縁膜を形成する際の前工程としての洗浄工程で、ポリサイドあるいはポリメタル中の金属が洗浄液に溶出する。この溶出金属は浮遊ゲートの側壁に再付着し、その後の絶縁膜形成過程で金属が絶縁膜中に取り込まれる。この結果、絶縁膜の欠陥密度が増大し、信頼性を損なうという問題を生じる。

【0010】第2に、前記文献記載のメモリセルにおいては、チャネル部の一部分に浮遊ゲートが存在しないスプリットチャネル型と呼ばれるメモリセル構造が採用されている。そして、前記メモリセルにおけるスプリットチャネルの制御は、そのスプリットチャネル上に存在する制御ゲート（ワード線）の電位を制御することにより行われる。従って、ワード線はスプリットゲートとしての機能も有することとなる。

【0011】ところで、メモリセルへのデータの書き込みの際には、ホットエレクトロンの発生および注入効率を

増大する必要がある。このためには、浮遊ゲートの電位を大きくしてチャネル部の垂直方向の電界を大とするとともに、スプリットゲートの電位を低くしてチャネル水平方向の電界を増大することが効果的である。

【0012】しかしながら前記文献1記載のメモリセルでは、スプリットゲートの電位はワード線電位によって制御されるから、浮遊ゲートとスプリットゲートの電位を独立に制御することはできない。すなわち、ワード線の電位によって浮遊ゲートおよびスプリットゲートの両電位を制御せざるを得ず、ホットエレクトロンの発生および注入効率を同時に増大できないという問題がある。このため、データの書込みの際に、注入電流に対し、非常に大きなチャネル電流が流れてしまい、複数のメモリセルを同時に書込めないという問題がある。さらに、高い書込み速度が得られないという問題も生じる。

【0013】また、スプリットチャネル型のメモリセルであってホットエレクトロンの発生および注入効率を同時に増大する方法として、前記文献2記載の手段が考え得るが、この方法では、微細化に伴い、拡散層と浮遊ゲートのオーバーラップが取り難くなるという問題が生じる。

【0014】さらに、前記文献3記載の技術により、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第3ゲートによりスプリットチャネルを制御する方法が考え得るが、この技術においては微細化に関する検討、観点が欠落している。

【0015】本発明の目的は、微細化に好適で、動作速度が速く、かつ欠陥密度の小さな半導体集積回路装置およびその製造方法を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本発明の半導体集積回路装置は、浮遊ゲートおよび制御ゲートとは機能の異なる第3ゲートが、ワード線（制御ゲート、第2ゲート）およびチャネルと垂直な方向あるいは平行な方向に存在する浮遊ゲート（第1ゲート）の隙間に埋込まれて存在する構造とするものである。

【0018】以下、本発明の概要を列記して示す。

【0019】1. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に第1方向に延在して形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第3ゲートが、第1方向に延在して形成され、第1ゲートの隙間に埋め込んで形成されている。

【0020】2. 前記項1記載の半導体集積回路装置であって、第1ゲートが、第3ゲートに対して対称に、ま

た第3ゲートが第1ゲートに対して対称に形成されている。

【0021】3. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に第1方向に延在して形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第3ゲートとを有し、第3ゲートの端面が、隣接する第1ゲート間に対向する端面であって第1方向に平行して存在する第1ゲートの端面と第3絶縁膜を介して対向して形成されている。

【0022】4. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第3ゲートの上面が、第1ゲート上面より低い位置に存在する。

【0023】5. 前記項1～4のいずれか一項に記載の半導体集積回路装置であって、第1ゲートが浮遊ゲートであり、第2ゲートが制御ゲートであり、第3ゲートが消去ゲートである第1の構成、第1ゲートが浮遊ゲートであり、第2ゲートが制御ゲートであり、第3ゲートがスプリットチャネルを制御するゲートである第2の構成、第1ゲートが浮遊ゲートであり、第2ゲートが制御ゲートであり、第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有するゲートである第3の構成、の何れかの構成を有する。

【0024】6. 前記項5記載の半導体集積回路装置であって、第3ゲートは、その一部分が第2導電型の半導体領域の上に存在する。

【0025】7. 前記項1～4のいずれか一項に記載の半導体集積回路装置であって、第1ゲートが浮遊ゲートであり、第2ゲートが制御ゲートであり、第3ゲートが消去ゲートであり、第3ゲートは、その全面が第2導電型の半導体領域の上に存在する。

【0026】8. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する。

【0027】前記半導体集積回路装置。

【0028】9. 前記項1～8のいずれか一項に記載の半導体集積回路装置であって、第3絶縁膜が、窒素を添加したシリコン酸化膜である。

【0029】10. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の

半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第1絶縁膜の膜厚が、第2または第3絶縁膜のいずれか一方の膜厚に比較して大きい。

【0030】11. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第2ゲートが、ポリシリコン膜と金属珪化物膜の積層膜で構成され、第1ゲート間の隙間に第3ゲートが埋込まれて存在する。

【0031】12. 前記項11記載の半導体集積回路装置であって、金属珪化物膜がタングステンシサイド膜である。

【0032】13. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第2ゲートが、金属膜を含む積層膜で構成されている。

【0033】14. 前記項13記載の半導体集積回路装置であって、第2ゲートが、ポリシリコン膜とバリアメタル膜と金属膜との積層膜で構成されている。

【0034】15. 前記項13または14記載の半導体集積回路装置であって、第1ゲート間の隙間に第3ゲートが埋込まれて存在する。

【0035】16. 前記項13、14または15記載の半導体集積回路装置であって、バリアメタル膜が、タングステン膜、チタン膜、タンタル膜、単体遷移金属元素からなる金属膜またはその窒化物膜もしくは珪化物膜、またはアルミニウム窒化物膜、コバルトシサイド膜、モリブデンシサイド膜、チタンタングステン膜、またはそれらの合金膜のいずれかに属する。

【0036】17. 前記項11～16のいずれか一項に記載の半導体集積回路装置であって、第1ゲート間の隙間が、第1ゲートの端面のうち第2ゲートの延在方向に平行な端面で形成されている第1の構成、第1ゲート間の隙間が、第1ゲートの端面のうち第2ゲートの延在方向に垂直な端面で形成されている第2の構成、の何れかの構成を有する。

【0037】18. 半導体基板中に形成された第1導電型のウェルと、ウェル中に形成された第2導電型の半導体領域と、半導体領域を接続して形成されたローカルソース線およびローカルデータ線と、ローカルソース線およびローカルデータ線を選択する選択トランジスタと、半導体基板上に第1絶縁膜を介して形成された第1ゲ

ートと、第1ゲートと第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線と、第1ゲートと第3絶縁膜を介して形成され、第1および第2ゲートとは機能の異なる第3ゲートとを有する半導体集積回路装置であって、第3ゲートの結束部が、選択トランジスタにより構成されるメモリセルブロック内で選択トランジスタに最も近い位置に存在するワード線と、選択トランジスタのゲートとの間に存在する。

【0038】19. 前記項18記載の半導体集積回路装置であって、第3ゲートの結束部分と、メモリセルブロック内の選択トランジスタに最も近く存在するワード線との間にダミーゲートが存在する。

【0039】20. 前記項18または19記載の半導体集積回路装置であって、メモリセルブロック内に存在する第3ゲートのすべてが、メモリセルブロック端のいずれか一方または両方で結束されている第1の構成、メモリセルブロック内に存在する第3ゲートが、メモリセルブロック端で1本おきに結束されている第2の構成、の何れかの構成を有する。

【0040】21. 前記項20記載の半導体集積回路装置であって、第3ゲートの結束部分にコンタクト孔が配置されている第1の構成、第3ゲートとダミーゲートとが、コンタクト孔と金属配線とを介して接続されている第2の構成、の何れかの構成を有する。

【0041】22. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがp型であり、第3ゲート、ウェルおよび半導体領域の一方であるソースの電位に対して正電位を第2ゲートである制御ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、制御ゲートの電位に対し正電位を第3ゲートに印加することにより消去を行う。

【0042】23. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがn型であり、第3ゲート、ウェルおよび半導体領域の一方であるソースの電位に対して負電位を第2ゲートである制御ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、制御ゲートの電位に対し正電位を第3ゲートに印加することにより消去を行う。

【0043】24. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の

【００５１】 ３２． 半導体基板の主面に形成された第１導電型のウェルと、ウェル内に形成された第２導電型の半導体領域と、半導体基板上に第１絶縁膜を介して形成された第１ゲートと、第１ゲート上に第２絶縁膜を介し

て形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがp型であり、ウェルおよび半導体領域の一方であるソースの電位に対して正電位を第2ゲートである制御ゲート、第3ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、制御ゲートの電位に対し正の電位をソースまたはドレインの一方に印加することにより消去を行う。

【0052】33. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがn型であり、ウェルおよび半導体領域の一方であるソースの電位に対して負電位を第2ゲートである制御ゲート、第3ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、制御ゲートの電位に対し正電位を第3ゲートに印加することにより消去を行う。

【0053】34. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがn型であり、ウェルおよび半導体領域の一方であるソースの電位に対して負電位を第2ゲートである制御ゲート、第3ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、ウェルの電位に対し負電位を制御ゲートに印加することにより消去を行う。

【0054】35. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の動作方法であって、第1導電型のウェルがn型であり、ウェルおよび半導体領域の一方であるソースの電位に対して負電位を第2ゲートである制御ゲート、第3ゲートおよび半導体領域の他方であるドレインに印加することにより書き込みを行い、制御ゲートの電位に対し正の電位をウェルに印加することにより消去を行う。

【0055】36. 前記項22～35のいずれか一項に記載の半導体集積回路装置の動作方法であって、書き込みの際、第3ゲートの電位の絶対値が、制御ゲートの電位の絶対値に比べ小さい。

【0056】37. 前記項22～36のいずれか一項に

記載の半導体集積回路装置の動作方法であって、書き込みによって形成されるしきい値の分布が4レベル以上である。

【0057】38. (a) 半導体基板中に第1導電型のウェルを形成する工程と、(b) 半導体基板上に第1絶縁膜を介して第1ゲートとなるストライプ状のパターンを形成する工程と、(c) ウェル中にパターンに対して平行に延在する第2導電型の半導体領域を形成する工程と、(d) ストライプ状のパターンによって形成される隙間に、第3絶縁膜を形成し、さらに第3ゲートをパターンの隙間を埋め込むように形成する工程と、(e) ストライプ状のパターンと垂直な方向に延在する第2ゲートパターンを形成する工程と、を含む。

【0058】39. 前記項38記載の半導体集積回路装置の製造方法であって、第1ゲートとなるストライプ状のパターンが第3ゲートに対し対称に、また第3ゲートが第1ゲートとなるストライプ状のパターンに対し対称に存在するように加工する。

【0059】40. 前記項39記載の半導体集積回路装置の製造方法であって、第3ゲートはストライプ状のパターンに対し自己整合的に形成される。

【0060】41. (a) 半導体基板中に第1導電型のウェルを形成する工程と、(b) 半導体基板上に第1絶縁膜を介して第1ゲートを形成する工程と、(c) ウェル中に第2導電型の半導体領域を形成する工程と、

(d) 第1ゲートによって形成される隙間に、第3絶縁膜を形成し、さらに第3ゲートをパターンの隙間を埋め込むように形成する工程と、(d) 第2ゲートを形成する工程と、を含み、第3ゲートの表面が第1ゲートの表面より低い位置となるよう第3ゲートを加工する。

【0061】42. 前記項38～41のいずれか一項に記載の半導体集積回路装置の製造方法であって、第3ゲートは、その全面が第2導電型の半導体領域の上に存在するように形成される第1の方法、第3ゲートは、その一部分が第2導電型の半導体領域の上に存在するように形成される第2の方法、の何れかの方法を有する。

【0062】43. 前記項38～41のいずれか一項に記載の半導体集積回路装置の製造方法であって、第3ゲートは、その一部分が第2導電型の半導体領域の上に存在するように形成され、第2導電型の半導体領域を斜めイオン打込み法により形成する。

【0063】44. 前記項38～43のいずれか一項に記載の半導体集積回路装置の製造方法であって、第3絶縁膜が、窒素を添加したシリコン酸化膜である。

【0064】45. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路

装置の製造方法であって、第2ゲートをポリシリコン膜と金属珪化物膜との積層膜とし、第2ゲートの形成は第3ゲートの形成より後の工程とする。

【0065】46. 前記項45記載の半導体集積回路装置の製造方法であって、金属珪化物膜がタングステンシリサイド膜である。

【0066】47. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有する半導体集積回路装置の製造方法であって、第2ゲートが、金属膜を含む積層膜で構成されている。

【0067】48. 前記項47記載の半導体集積回路装置の製造方法であって、第2ゲートが、ポリシリコン膜とバリア金属膜と金属膜との積層膜で構成されている。

【0068】49. 前記項47または48記載の半導体集積回路装置の製造方法であって、第2ゲートが、第1ゲート間の隙間に第3ゲートが埋込まれて存在する。

【0069】50. 前記項47記載の半導体集積回路装置の製造方法であって、バリア金属膜が、タングステン膜、チタン膜、タンタル膜、単体遷移金属元素からなる金属膜またはその窒化物膜もしくは珪化物膜、またはアルミニウム窒化物膜、コバルトシリサイド膜、モリブデンシリサイド膜、チタントングステン膜、またはそれらの合金膜のいずれかに属する。

【0070】51. 半導体基板中に形成された第1導電型のウェルと、ウェル中に形成された第2導電型の半導体領域と、半導体領域を接続して形成されたローカルソース線およびローカルデータ線と、ローカルソース線およびローカルデータ線を選択する選択トランジスタと、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲートと第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線とを有し、選択トランジスタで区切られるローカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、メモリセルブロックがワード線方向に配列されてメモリセルアレイが構成される半導体集積回路装置であって、メモリセルブロックを挟んで両側に、ワード線と同一方向に配設された各々1本ずつの電源線を有し、ローカルソース線およびローカルデータ線は、選択トランジスタを介して、電源線の方とワード線に垂直な方向に配線された信号線とに接続され、または、電源線の両方に接続される。

【0071】52. 前記項51記載の半導体集積回路装置であって、ローカルデータ線のうちのローカルデータ線は、選択トランジスタを介して、電源線と信号線との両方に接続される第1の構成、ローカルデータ線のう

ちのローカルデータ線が、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、一のローカルデータ線に隣接する隣接ローカルデータ線が、メモリセルブロックの他端で選択トランジスタを介して信号線に接続される第2の構成、の何れかの構成を有する。

【0072】53. 前記項52記載の半導体集積回路装置であって、ローカルデータ線のうちのローカルデータ線は、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、メモリセルブロックの他端で選択トランジスタを介して電源線に接続される。

【0073】54. 前記項53記載の半導体集積回路装置であって、ワード線の延在方向に垂直な方向に配設した信号線とn番目(nは整数)に配設されたローカルデータ線とを接続する第1選択トランジスタ、メモリセルブロックの一端にワード線と同一方向に配設した電源線とn+1番目のローカルデータ線とを接続する第2選択トランジスタ、信号線とn+1番目のローカルデータ線とを接続する第3選択トランジスタ、および、メモリセルブロックの他端にワード線と同一方向に配設した電源線とn番目のローカルデータ線とを接続する第4選択トランジスタを有し、第1および第2選択トランジスタのゲート信号が同一信号であり、第3および第4選択トランジスタのゲート信号が同一信号である。

【0074】55. 前記項51記載の半導体集積回路装置であって、ローカルソース線とローカルデータ線に接続される選択トランジスタのゲート信号が同一信号である第1の構成、ローカルソース線に接続される全ての選択トランジスタのゲート信号が同一信号である第2の構成、の何れかの構成を有する。

【0075】56. 半導体基板中に形成された第1導電型のウェルと、ウェル中に形成された第2導電型の半導体領域と、半導体領域を接続して形成されたローカルソース/データ線と、ローカルソース/データ線を選択する選択トランジスタと、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲートと第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線とを有し、選択トランジスタで区切られるローカルソース/データ線上のメモリセルでメモリセルブロックが構成され、メモリセルブロックがワード線方向に配列されてメモリセルアレイが構成され、ローカルソース/データ線は、それがメモリセルのローカルソース線として機能する場合には隣接するメモリセルのローカルデータ線として機能する半導体集積回路装置であって、メモリセルブロックを挟んで両側に、ワード線と同一方向に配設された各々1本ずつの電源線と、ワード線に垂直な方向に配線した信号線とを有し、ローカルソース/データ線は、選択トランジスタを介して、電源線のうち何れか一方と信号線との両方に接続される。

【0076】57. 前記項56記載の半導体集積回路装置であって、 n 番目 (n は整数) のローカルソース/データ線が、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、 $n+1$ 番目のローカルソース/データ線が、メモリセルブロックの他端で選択トランジスタを介して信号線に接続される第1の構成、 n 番目 (n は整数) のローカルソース/データ線が、メモリセルブロックの一端で選択トランジスタを介して電源線に接続され、 $n+1$ 番目のローカルソース/データ線が、メモリセルブロックの他端で選択トランジスタを介して電源線に接続される第2の構成、の何れかの構成を有する。

【0077】58. 前記項56または57記載の半導体集積回路装置であって、1本のローカルソース/データ線は、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、メモリセルブロックの他端で選択トランジスタを介して電源線に接続される。

【0078】59. 前記項58記載の半導体集積回路装置であって、ワード線と垂直方向に配線した信号線と n 番目 (n は整数) のローカルソース/データ線とを接続する第1選択トランジスタ、メモリセルブロックの一端にワード線と同一方向に配線した電源線と $n+1$ 番目のローカルソース/データ線とを接続する第2選択トランジスタ、信号線と $n+1$ 番目のローカルソース/データ線とを接続する第3選択トランジスタ、および、メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース/データ線とを接続する第4選択トランジスタを有し、第1および第2選択トランジスタのゲート信号が同一信号であり、第3および第4選択トランジスタのゲート信号が同一信号である。

【0079】60. 前記項56～59のいずれか一項に記載の半導体集積回路装置であって、ワード線と垂直方向に配線した1本の信号線は、ローカルソース/データ線2本分で共用する第1の構成、ローカルソース/データ線と、信号線とを選択トランジスタを介して接続する場合、選択トランジスタのローカルソース/データ線とは異なる側の半導体領域と信号線との接続部分は、2つのメモリセルブロック間で共用する第2の構成、電源線は、2つのメモリセルブロック間で共用する第3の構成、の何れかの構成を有する。

【0080】61. 半導体基板中に形成された第1導電型のウェルと、ウェル中に形成された第2導電型の半導体領域と、半導体領域を接続して形成されたローカルソース/データ線と、ローカルソース/データ線を選択する選択トランジスタと、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲートと第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線と、第1ゲートと第3絶縁膜を介して形成され、第1および第2ゲートとは機能の異なる第3ゲートとを有し、選択トランジスタで区切られるロ

ーカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、メモリセルブロックがワード線方向に配列されてメモリセルアレイが構成される半導体集積回路装置であって、第3ゲートの結束部が、メモリセルブロック内で選択トランジスタに最も近い位置に存在するワード線と、選択トランジスタのゲートとの間に存在し、メモリセルブロック内に存在する第3ゲートが、メモリセルブロック端で1本おきに結束され、メモリセルブロックを挟んで両側に、ワード線と同一方向に配設された各々1本ずつの電源線と、ワード線に垂直な方向に配線した信号線とを有し、ローカルソース/データ線は、選択トランジスタを介して、電源線の内いずれか一方および信号線の両方に接続される。

【0081】62. 前記項61記載の半導体集積回路装置であって、 n 番目 (n は整数) のローカルソース/データ線が、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、 $n+1$ 番目のローカルソース/データ線が、メモリセルブロックの他端で選択トランジスタを介して信号線に接続される第1の構成、 n 番目 (n は整数) のローカルソース/データ線が、メモリセルブロックの一端で選択トランジスタを介して電源線に接続され、 $n+1$ 番目のローカルソース/データ線が、メモリセルブロックの他端で選択トランジスタを介して電源線に接続される第2の構成、の何れかの構成を有する。

【0082】63. 前記項61または62記載の半導体集積回路装置であって、1本のローカルソース/データ線は、メモリセルブロックの一端で選択トランジスタを介して信号線に接続され、メモリセルブロックの他端で選択トランジスタを介して電源線に接続される。

【0083】64. 前記項63に記載の半導体集積回路装置であって、ワード線と垂直方向に配線した信号線と n 番目 (n は整数) のローカルソース/データ線とを接続する第1選択トランジスタ、メモリセルブロックの一端にワード線と同一方向に配線した電源線と $n+1$ 番目のローカルソース/データ線とを接続する第2選択トランジスタ、信号線と $n+1$ 番目のローカルソース/データ線とを接続する第3選択トランジスタ、および、メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース/データ線とを接続する第4選択トランジスタを有し、第1および第2選択トランジスタのゲート信号が同一信号であり、第3および第4選択トランジスタのゲート信号が同一信号である。

【0084】65. 前記項61～64のいずれか一項に記載の半導体集積回路装置であって、ワード線と垂直方向に配線した1本の信号線は、ローカルソース/データ線2本分で共用する第1の構成、ローカルソース/データ線と、信号線とを選択トランジスタを介して接続する場合、選択トランジスタのローカルソース/データ線とは異なる側の半導体領域と信号線との接続部分は、2つ

のメモリセルブロック間で共用する第2の構成、電源線は、2つのメモリセルブロック間で共用する第3の構成、ローカルソース/データ線は、選択トランジスタを介して、ワード線と垂直方向に配線した信号線に接続し、信号線にセンス回路を接続し、 n 番目 (n は整数)の信号線に接続するセンス回路は、複数のメモリセルブロックからなるメモリセルアレイの一端で接続し、 $n+1$ 番目の信号線に接続するセンス回路はメモリセルアレイの他端で接続する第4の構成、選択トランジスタを介してローカルソース/データ線と接続される信号線と、センス回路の間にスイッチを設け、スイッチを切換えることにより、1つのセンス回路を複数の信号線で共用する第5の構成、の何れかの構成を有する。

【0085】66. 半導体基板中に形成された第1導電型のウェルと、ウェル中に形成された第2導電型の半導体領域と、半導体領域を接続して形成されたローカルソース/データ線と、ローカルソース/データ線を選択する選択トランジスタと、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲートと第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線と、第1ゲートと第3絶縁膜を介して形成され、第1および第2ゲートとは機能の異なる第3ゲートとを有し、選択トランジスタで区切られるローカルソース線およびローカルデータ線上のメモリセルでメモリセルブロックが構成され、メモリセルブロックがワード線方向に配列されてメモリセルアレイが構成される半導体集積回路装置であって、第3ゲートの結束部が、メモリセルブロック内で選択トランジスタに最も近い位置に存在するワード線と、選択トランジスタのゲートとの間に存在し、メモリセルブロック内に存在する第3ゲートが、メモリセルブロック端で1本おきに結束され、メモリセルブロックを挟んで両側に、ワード線と同一方向に配設された各々1本ずつの電源線と、ワード線に垂直な方向に配線した信号線とを有し、ローカルソース/データ線は、選択トランジスタを介して、電源線と信号線の両方へ接続する。

【0086】67. 前記項66記載の半導体集積回路装置であって、ローカルソース/データ線は、選択トランジスタを介して信号線に接続し、接続は全て、メモリセルブロックの一端で行なわれる第1の構成、ローカルソース/データ線は、選択トランジスタを介してセルブロックの一端にワード線と同一方向に配線した電源線に接続し、接続は全て、メモリセルブロックの一端で行なわれる第2の構成、の何れかの構成を有する。

【0087】68. 前記項66または67記載の半導体集積回路装置であって、1本のローカルソース/データ線は、メモリセルブロックの一端で選択トランジスタを介して信号線に接続し、メモリセルブロックの他端で選択トランジスタを介して電源線に接続する。

【0088】69. 前記項68記載の半導体集積回路装

置であって、ワード線と垂直方向に配線した信号線と n 番目 (n は整数)のローカルソース/データ線とを接続する第1選択トランジスタ、信号線と $n+1$ 番目のローカルソース/データ線とを接続する第2選択トランジスタ、メモリセルブロックの他端にワード線と同一方向に配線した電源線と n 番目のローカルソース/データ線とを接続する第3選択トランジスタ、および、電源線と $n+1$ 番目のローカルソース/データ線とを接続する第4選択トランジスタ、を有し、全ての第1選択トランジスタのゲート信号は同一信号であり、全ての第2選択トランジスタのゲート信号は同一信号であり、第1および第2の選択トランジスタのゲート信号は異なる信号であり、全ての第3選択トランジスタのゲート信号は同一信号であり、全ての第4選択トランジスタのゲート信号は同一信号であり、第3および第4の選択トランジスタのゲート信号は異なる信号である。

【0089】70. 前記項66～69のいずれか一項に記載の半導体集積回路装置であって、信号線は、ローカルソース/データ線2本分で共用する第1の構成、ローカルソース/データ線と信号線とを選択トランジスタを介して接続する場合、選択トランジスタのローカルソース/データ線とは異なる側の半導体領域と信号線との接続部分は、2つのメモリセルブロック間で共用する第2の構成、電源線は、2つのメモリセルブロック間で共用する第3の構成、ローカルソース/データ線は、選択トランジスタを介して信号線に接続し、信号線にセンス回路を接続し、 n 番目 (n は整数)の信号線に接続するセンス回路は複数のメモリセルブロックからなるメモリセルアレイの一端で接続し、 $n+1$ 番目の信号線に接続するセンス回路はメモリセルアレイの他端で接続する第4の構成、選択トランジスタを介してローカルソース/データ線と接続される信号線とセンス回路との間にスイッチを設け、スイッチを切換えることにより、1つのセンス回路を複数の信号線で共用する第5の構成、の何れかの構成を有する。

【0090】71. 半導体基板の主面に形成された第1導電型のウェルと、ウェル内に第1方向に延在して形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第2ゲートを接続して形成されたワード線と、第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、第3ゲートがワード線と垂直な方向に存在する第1ゲートの隙間に埋込まれて形成された半導体集積回路装置であって、第3ゲートを駆動するためのデコーダが、ワード線の延在方向に配置される。

【0091】72. 前記項71記載の半導体集積回路装置であって、第3ゲートを駆動するためのデコーダは、メモリセルアレイの一端に配置する第1の構成、第3ゲートを駆動するためのデコーダは、選択トランジスタで

囲まれた複数のワード線上に存在するメモリセルアレイからなるメモリセルブロックを選択するためのブロックデコーダに隣接して配置する第2の構成、第3ゲートを駆動するためのデコーダは、メモリセルブロックを選択するためのブロックデコーダと隣接して、メモリセルアレイを挟んで両端に配置する第3の構成、の何れかの構成を有する。

【0092】73. 前記項20記載の半導体集積回路装置であって、第3ゲートがワード線と垂直な方向に存在する第1ゲートの隙間に埋込まれて形成され、第3ゲートを駆動するためのデコーダが、ワード線の延在方向に配置される。

【0093】74. 前記項73記載の半導体集積回路装置であって、第3ゲートを駆動するためのデコーダは、メモリセルアレイの一端に配置する第1の構成、第3ゲートを駆動するためのデコーダは、メモリセルブロックを選択するためのブロックデコーダに隣接して配置される第2の構成、第3ゲートを駆動するためのデコーダは、メモリセルブロックを選択するためのブロックデコーダと隣接して、メモリセルアレイを挟んで両端に配置する第3の構成、の何れかの構成を有する。

【0094】75. 前記項18または19記載の半導体集積回路装置であり、メモリセルブロック内に存在する第3ゲートのすべてが、メモリセルブロック端のいずれか一方または両方で結束されている半導体集積回路装置であって、第3ゲートの選択信号は、メモリセルブロックの選択信号から生成する。

【0095】76. 前記項18または19記載の半導体集積回路装置であり、メモリセルブロック内に存在する第3ゲートのすべてが、メモリセルブロック端のいずれか一方または両方で結束されている半導体集積回路装置であって、第3ゲートの選択信号は、メモリセルブロックの選択信号と、メモリセルブロックを更に2分割するための信号から生成する第1の構成、第3ゲートの選択信号は、選択トランジスタのゲート選択信号から生成する第2の構成、の何れかの構成を有する。

【0096】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0097】（実施の形態1）図1は、本発明の実施の形態1である半導体集積回路装置の一例を示した一部平面図であり、図2（a）、（b）および（c）は、各々、図1におけるA-A'、B-B' およびC-C' 線断面図である。なお、図1の平面図において、図面を見やすくするため各部材にハッチングを施し、一部の部材は省略している。

【0098】本実施の形態の半導体集積回路装置は、いわゆるフラッシュメモリのメモリセルを有し、このメモ

リセルは半導体基板100の主面に形成されたウェル101中のソース／ドレイン拡散層105、第1ゲート（浮遊ゲート）103b、第2ゲート（制御ゲート）111a、および第3ゲート107aを有する。各メモリセルの制御ゲート（第2ゲート）111aは行方向（x方向）に接続され、ワード線WLを形成している。

【0099】浮遊ゲート（第1ゲート）103bとウェル101はゲート絶縁膜（第1絶縁膜）102に、浮遊ゲート103bと第3ゲート107aは絶縁膜（第3絶縁膜）106aに、浮遊ゲート103bとワード線（制御ゲート）111aは絶縁膜（第2絶縁膜）110aに、第3ゲート107aとワード線111aは絶縁膜108aにより、それぞれ分離されている。

【0100】ソース／ドレイン拡散層105はワード線111aの延在方向（x方向）に垂直な方向（y方向）に延在して配置され、列方向（y方向）のメモリセルのソース／ドレインを接続するローカルソース線およびローカルデータ線として機能する。すなわち、本実施の形態の半導体集積回路装置は、メモリセル毎にコンタクト孔を持たない、いわゆるコンタクトレス型のアレイから構成される。この拡散層105に垂直な方向（x方向）にチャネルが形成される。

【0101】第3ゲート107aの2つの端面は、前記浮遊ゲート103bの端面のうちワード線111aおよびチャネルとそれぞれ垂直な2つの端面と、それぞれ絶縁膜106aを介して対向して存在する。

【0102】また、第3ゲート107aはワード線111aおよびチャネルと垂直な方向（y方向）に存在する浮遊ゲート103bの隙間に埋込まれて存在する。さらに、浮遊ゲート103bが第3ゲート107aに対し対称に、また前記第3ゲート107aが浮遊ゲート103bに対し対称に存在する。

【0103】第3ゲート107aは拡散層105の上に配置され、拡散層105と同様、ワード線111aおよびチャネルに垂直に、すなわち列方向（y方向）に配置される。

【0104】このような構造では、浮遊ゲート103aと制御ゲート111a以外の第3ゲート107aが存在する場合であっても、ワード線WL方向（x方向）、およびローカルデータ線方向（y方向）のピッチを最小加工寸法の2倍とすることができる。従って、メモリセル面積をクロスポイント型のアレイでは最小の4F²（F：最小加工寸法）に縮小することが可能となる。

【0105】次に、図3～図5を用いて本メモリセルの製造方法を示す。図3～図5は、実施の形態1の半導体集積回路装置の製造方法の一例を示した断面図である。

【0106】まず、半導体基板100にp型（第1導電型）のウェル101を形成し、ウェル101上にたとえば熱酸化法により12nm程度のゲート絶縁膜（第1絶縁膜）102を形成する（図3（a））。

【0107】続いて浮遊ゲート103bとなるリン(P)をドーピングしたポリシリコン膜103とシリコン窒化膜104を順次堆積する(図3(b))。ポリシリコン膜103とシリコン窒化膜104の堆積には、たとえばCVD(Chemical Vapor Deposition)法を用いることができる。

【0108】次にリソグラフィとドライエッチング技術により前記シリコン窒化膜104およびポリシリコン膜103をパターンニングする。このパターンニングによりシリコン窒化膜104およびポリシリコン膜103は、シリコン窒化膜104aおよびポリシリコン膜103aとなる(図3(c))。シリコン窒化膜104aおよびポリシリコン膜103aは、y方向に延在して形成されるようにストライプ状にパターンニングされる。

【0109】その後、イオン打込み法により砒素(As)イオンを打込み、メモリセルのソース/ドレインとなる拡散層105を形成する(図3(d))。拡散層105は、メモリセルのソース線またはデータ線として機能する。このイオン注入の際にはシリコン窒化膜104aおよびポリシリコン膜103aがマスクとして機能し、拡散層105はポリシリコン膜103aに対して自己整合的に形成される。なお、シリコン窒化膜104aおよびポリシリコン膜103aがy方向に延在してストライプ状に形成されているため、拡散層105はy方向に延在して形成される。

【0110】なお、本工程でエッチングされる部材(シリコン窒化膜104aおよびポリシリコン膜103a)には金属膜あるいは金属化合物が含まれていないため、このエッチング工程後の洗浄工程では金属が溶出しエッチングされた部材壁面に溶出金属が再付着することがない。このため、次工程で説明する絶縁膜106に金属(不純物)が含まれることが無く、絶縁膜106の欠陥を低く抑え、信頼性を高めることができる。

【0111】次に、浮遊ゲート103bと第3ゲート107aを分離するための絶縁膜106を以下の方法により形成する(図3(e))。まず、減圧化学気相成長法(LPCVD: Low Pressure Chemical Vapor Deposition)により10.5nm程度のシリコン酸化膜を堆積する。続いてこのシリコン酸化膜をアンモニア雰囲気中で熱処理し、前記シリコン酸化膜に窒素を導入する。その後、窒素が導入されたシリコン酸化膜にウェット酸化処理を行う。これは、アンモニア中での熱処理によりシリコン酸化膜中に導入された水素を除去するためである。

【0112】以上の工程により形成した絶縁膜106は、膜中の電荷トラップ量が小さく、高い書換え耐性を有している。すなわち、仮に絶縁膜106中に電荷がトラップされるとトラップされた電子は放置状態で第3ゲートに移動し、この移動電子の量が多いとリテンション不良を引き起こす可能性が大きくなる。移動電子量はトラップ密度とともに増大するから、絶縁膜106中のト

ラップ量が多いとリテンション不良を引き起こす確率が高くなる。しかし、本実施の形態では、膜中の電荷トラップ量が抑制されるため、リテンション不良を抑制し、高い書換え耐性を実現できる。また、絶縁膜106に金属不純物が含まれないことは前記の通りである。

【0113】その後、第3ゲート107aとなるリン(P)をドーピングしたポリシリコン膜107を浮遊ゲートパターン103aの隙間が完全に埋まるように堆積する(図4(a))。ポリシリコン膜107の形成にはたとえばCVD法を用いる。

【0114】その後、たとえば異方性ドライエッチングを行い、ポリシリコン膜107をエッチバックする。これにより浮遊ゲートパターン103aの隙間に所定の厚さに残した第3ゲート107aを形成する(図4(b))。ここで、前記エッチバック後残存するポリシリコン膜(第3ゲート107a)の膜厚は、浮遊ゲートポリシリコン103aの膜厚に比べて小さいことが望ましい。このように第3ゲート107aの膜厚を浮遊ゲート103bの膜厚よりも小さくすることにより消去時の内部動作電圧を低減することができる。

【0115】その後、シリコン酸化膜108を浮遊ゲートパターン103aの隙間が完全に埋まるように堆積する(図4(c))。シリコン酸化膜108の堆積には、たとえばCVD法を用いる。

【0116】次に、シリコン酸化膜108をたとえば化学的機械研磨法(CMP法: Chemical Mechanical Polishing)によりシリコン窒化膜104aが露出するまで研磨する。(シリコン窒化膜104aおよびシリコン酸化膜106および108はそれぞれ104b、106aおよび108aとなる(図4(d))。)

【0117】その後、たとえば熱リン酸水溶液を用いてシリコン窒化膜104bを除去し、ポリシリコン103aの表面を露出させる(図5(a))。次に、リン(P)をドーピングしたポリシリコン膜109を堆積し(図5(b))、これを異方性ドライエッチングする(ポリシリコン膜109は109aとなる)(図5(c))。本ポリシリコン膜109aはポリシリコン103aと電氣的に接続しており、この2層のポリシリコンで浮遊ゲートを形成する。ポリシリコン109aは浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書込み/消去時の内部動作電圧の低減が可能となる。

【0118】次に、図3(e)で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜(膜厚10.5nm程度)110を形成する(図5(d))。

【0119】その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜を堆積し、これをリソグラフィとドライエッチング技術によりパターンニングしてワード線111aを形成する。

このパターニングは、ワード線 111a が x 方向に延在するように、すなわち拡散層 105、第 3 ゲート 107a の延在方向 (y 方向) に垂直な方向 (x 方向) に延在するようにパターニングされる。

【0120】さらにシリコン酸化膜 110、ポリシリコン膜 109a、103a をエッチングし、浮遊ゲートを完成した (これによりシリコン酸化膜 110 は 110a に、ポリシリコン 103a、109a はそれぞれ 103b および 109b となる) (図 5 (e))。なお、このエッチング工程では、シリコン酸化膜 110 がエッチングされる段階ではシリコン酸化膜がエッチングできる条件でエッチングを行うが、ポリシリコン膜 109a、103a がエッチングされる段階では、シリコンはエッチングされるがシリコン酸化膜はエッチングされない選択エッチングの条件でエッチングを行う。これにより、シリコン酸化膜である絶縁膜 108a がエッチングストップとして機能し、絶縁膜 108a 下部の第 3 ゲート 107a がエッチングされることはない。すなわち、このエッチング工程により、第 3 ゲート 107a は y 方向に延在して形成されたストライプ状の形体を維持しつつ、浮遊ゲート 103b は、x 方向、y 方向の両方向において分断され、島状の浮遊ゲートが形成される。

【0121】その後、図には示していないが、層間絶縁膜を形成した後、ワード線 111a、ソース/ドレイン拡散層 105、ウェル 101、第 3 ゲート 107a に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成できる。

【0122】図 6 はメモリセルアレイの構成を示した回路図である。ソース/ドレインとなる拡散層 105 ($\dots D_{n-2}, D_{n-1}, D_n, D_{n+1}, D_{n+2} \dots$) はワード線 WL ($WL_0, WL_1 \dots WL_n$) の方向 (x 方向) と垂直な方向 (y 方向) に延在し、y 方向に隣接するメモリセルを接続する配線の役割を有している。また、拡散層 105 は、x 方向 (ワード線 WL の延在方向) に隣接するメモリセル間で共有される。この各拡散層配線 D_n の y 方向の両端にはソース線あるいはデータ線を選択する選択 MOS トランジスタが配置されている。この選択 MOS で囲まれた領域をアレイブロックと呼ぶ。第 3 ゲート (補助ゲート) AG は y 方向に延在して配置され、アレイブロックの上下端 (y 方向の両端) で 1 つに結束される。

【0123】図 7 ~ 図 12 は第 3 ゲート 107a の取出し部分のレイアウトを示したものである。本実施の形態の半導体集積回路装置では、ローカルデータ線もしくはローカルソース線を選択する選択トランジスタのゲート 113 により囲まれた部分がメモリセルアレイブロックを構成している。いずれの方法であっても、第 3 ゲートパターン 107a は浮遊ゲートポリシリコンパターン 103a (103a はエッチングされて浮遊ゲート 103

b となるものである) に対して自己整合的に形成される。

【0124】図 7 ~ 図 9 に示す半導体集積回路装置にあつては、アレイブロックの両側で、列方向 (y 方向) に伸びた第 3 ゲート 107a のすべてが 1 つに束ねられるよう、ポリシリコン 103a がパターニングされている。これに対し、図 10 ~ 図 12 に示す半導体集積回路装置にあつては、列方向 (y 方向) に伸びた第 3 ゲート 107a が 1 本おきにアレイブロックの片側 (上側もしくは下側の各々) で、束ねられるよう、ポリシリコン 103a がパターニングされる。いずれの場合であっても、第 3 ゲートの結尾部 114 は、ブロック端のワード線 111z と選択トランジスタのゲート 113 の間に配置される。なお、ワード線 111z と第 3 ゲートの結尾部 114 の間に、ワード線 111a と同一材質のダミーパターン 112 を配置してもよい。

【0125】前記した第 3 ゲート 107a の結尾部 114 に至るコンタクト孔 115 を形成し、これに金属配線 116 を接続することにより第 3 ゲート 107a に給電を行う。コンタクト孔 115 および金属配線 116 の配置方法としては以下の様な方法がある。

【0126】まず第 1 の方法は、図 7 および図 10 に示したように、第 3 ゲート 107a の結尾部 114 の端部に 1 個または複数個のコンタクト孔 115 を配置し、これを金属配線 116 によりメモリアレイの外部に引出す。本方法の利点は、メモリアレイ上の金属配線レイアウトが容易な点にある。

【0127】第 2 の方法は、図 8 および図 11 に示したように、第 3 ゲート 107a の結尾部 114 のほぼ全域にわたって、コンタクト孔 115 を配置し、これを金属配線 116 により接続して引出す。本方法の利点は、第 3 ゲートの結尾部 114 の抵抗による電圧降下を抑制できる点にある。

【0128】第 3 の方法は、図 9 および図 12 に示したように、第 2 の方法と同様に第 3 ゲートの結尾部 114 のほぼ全域にわたって、ある間隔でコンタクト孔 115 を配置するとともに、ダミーパターン 112 にもほぼ全域にわたって、ある間隔でコンタクト孔 118 を配置する。そして、コンタクト孔 115 と 118 を金属配線 116 により接続する。本方法にあつては、抵抗の低いポリメタル膜で各第 3 ゲート 107a を接続していることとなるので、第 2 の方法と同様、第 3 ゲートの結尾部 114 の抵抗に起因した電圧降下を抑制できる。また、コンタクト孔 115 と 118 の距離が近いこと、金属配線 116 を短くすることができ、第 1 の方法と同様、メモリアレイ上の金属配線レイアウトが容易となる。つまり、第 1 の方法と第 2 の方法のそれぞれの利点を併せ持つという特徴を有する。半導体集積回路装置の目標とする仕様に応じて、図 7 から図 12 のいずれかの方法を選択することができる。

【0129】次に、前記方法により形成したメモリセルの書き込み時、消去時、および読み出し時の電圧印加条件および動作方法を、図13～図15を用いて説明する。図13は書き込み動作を、図14は消去動作を、図15は読み出し動作の例を各々示し、(a)は等価回路図を、(b)あるいは(c)はタイミングチャートを示す。図13～図15の(a)において点線で囲まれたセルで選択的にそれぞれの動作が行われる。

【0130】まず、書き込み動作を説明する。今選択されたメモリセルをセルMとする。図13(a)に示したように、選択セルMのワード線WL_n(選択ワード線)にたとえば1.2V程度の正の電圧を印加し、選択セルMのドレインとなる拡散層D_nにたとえば5V程度の正の電圧を印加する。また、選択セルMのソースとなる拡散層D_{n-1}は0Vに保持する。このようにソース・ドレインおよびワード線を前記所定の電圧に維持することによりメモリセルMのチャネル領域にホットエレクトロンが生じ、これが浮遊ゲートに注入される。

【0131】このとき、すべての第3ゲートAG、ウェル、非選択ワード線WL_{n+1}は0Vに保持され、拡散層D_{n-2}、D_{n+1}、D_{n+2}はそれぞれ0V、5V、フローティング状態とする。これにより、拡散層D_{n-2}および拡散層D_{n-1}が同電位(0V)に保たれ、また、拡散層D_nおよび拡散層D_{n+1}が同電位(5V)に保たれ、さらに、拡散層D_{n+1}および拡散層D_{n+2}間の電位差は拡散層D_{n+2}がフローティングゆえほとんど電位差を生じない。このため、メモリセルM-1、M+1、M+2のチャネルにはホットエレクトロンは発生せず、隣接するメモリセルM-1、M+1、M+2への誤書き込みを防止できる。これによりメモリセルMのみでホットエレクトロン注入が起これ、選択メモリセルMの浮遊ゲートに電子が蓄積されてメモリセルのしきい値が上昇し、書き込みが行われる。このように、本実施の形態の半導体集積回路装置にあっては、隣接するメモリセル4個を1つの単位とし、その内の1セルを選択して書き込みが行われる。従って、1つのワード線上のすべてのセルに書き込みを行うためには、最低4回の書き込み動作を実施する。

【0132】図13(b)および(c)は、選択ワード線WL_nおよび拡散層D_n、D_{n+1}への電圧印加のタイミングの一例を示したタイミングチャートである。図13(b)に示す一例、および同図(c)に示す他の例の二通りの例がある。

【0133】図13(b)に示すように、時刻t₀の時点で選択ワード線WL_nに+1.2Vを印加した後、時刻t₁(t₀<t₁)の時点で拡散層D_n、D_{n+1}に+5Vを印加する。所定の書き込み時間t(t=t₂-t₁)だけ前記電圧を維持した後、時刻t₂で拡散層D_n、D_{n+1}の電位を0Vに戻す。その後時刻t₃(t₂<t₃)で選択ワード線WL_nの電位を0Vに戻す。

このようなタイミングで書き込みを行う場合、ドレイン電圧印加時間が短いため、ドレインディスタースを緩和できるという効果がある。

【0134】あるいは、図13(c)に示すように、時刻t₀の時点で拡散層D_n、D_{n+1}に+5Vを印加した後、時刻t₁(t₀<t₁)の時点で選択ワード線WL_nに+1.2Vを印加する。所定の書き込み時間t(t=t₂-t₁)だけ前記電圧を維持した後、時刻t₂で選択ワード線WL_nの電位を0Vに戻す。その後時刻t₃(t₂<t₃)で拡散層D_n、D_{n+1}の電位を0Vに戻す。このようなタイミングで書き込みを行う場合、ワード線電圧印加時間が短いため、ワードディスタースを緩和できるという効果がある。

【0135】次に、消去動作を説明する。図14(a)に示したように、選択ワード線WL_nにたとえば-1.3.5Vの負の電圧を、また、すべての第3ゲートAGにたとえば3.3Vといった比較的小さな正の電圧を印加する。各拡散層D_{n-2}～D_{n+2}、ウェル、非選択ワード線WL_{n+1}は0Vである。これにより、ワード線WL_n上のすべてのメモリセルにおいて、浮遊ゲートから第3ゲートにファウラーノードハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。

【0136】なお、消去の際は、複数のワード線に同時に負の電圧、たとえば-1.3.5Vを印加し、すべての第3ゲートAGにたとえば3.3Vといった比較的小さな正の電圧、各拡散層D、ウェルを0Vとしてもよい。この場合、負の電圧が印加されたワード線上のセルで消去が行なわれる。

【0137】また、すべての第3ゲートAGに比較的大きな電圧、たとえば1.7Vを印加し、すべてのワード線、各拡散層D、ウェルを0Vとしてもよい。この場合、ブロック内のすべてのメモリセルで消去が行なわれる。

【0138】本実施の形態にあっては、消去速度は酸化膜電界に強く依存するのに対し、書き込み速度は酸化膜電界にあまり依存しない。従って、メモリセルの製造方法の説明の際述べたように、浮遊ゲート103bと半導体基板100を分離するゲート絶縁膜102の膜厚が、浮遊ゲート103bと制御ゲート111aを分離するシリコン酸化膜110や、浮遊ゲート103bと第3ゲート107aを分離するシリコン酸化膜106の膜厚に比べ大となっている。

【0139】なお、従来技術にあっては、浮遊ゲートと消去ゲート間の電子のトンネル膜として、浮遊ゲートポリシリコン膜を熱酸化して形成したシリコン酸化膜が用いられている場合があった。しかしながら、ポリシリコン上の熱酸化膜は多量のトラップを有し、書換え回数の増加とともに酸化膜中に電子が捕獲されるため、酸化膜に印加される電界が実効的に低下し、消去速度が低下す

るという問題があった。このため、書換え回数の増加とともに消去ゲートに印加する電圧を増大するという手法が提案されていた。本実施の形態の方法により形成したシリコン酸化膜は、膜中のトラップ量がウェル上の酸化膜と同等であり、書換えを繰り返しても消去速度の低下を生じない。

【0140】図14(b)は、選択ワード線 WL_n および第3ゲートAGへの電圧印加のタイミングの一例を示したタイミングチャートである。

【0141】図14(b)に示すように、時刻 t_0 の時点で選択ワード線 WL_n に $-13.5V$ を印加した後、時刻 t_1 ($t_0 < t_1$)の時点で第3ゲートAGに $+3.3V$ を印加する。所定の消去時間 t ($t = t_2 - t_1$)だけ前記電圧を維持した後、時刻 t_2 で第3ゲートAGの電位を $0V$ に戻す。その後時刻 t_3 ($t_2 < t_3$)で選択ワード線 WL_n の電位を $0V$ に戻す。このような消去動作では、第3ゲートAGの電位によって消去時間が制御されることとなる。この場合、第3ゲートAGの電圧の方がワード線電圧に比べて切換える電圧幅が小さいため、切換え時間を短くできる。従って、第3ゲートAGで消去時間を直接制御する本消去動作は、消去時間の制御性に優れているという効果がある。また、第3ゲートAGによる、非選択メモリセルへのディスタープが低減できるという効果もある。

【0142】次に、読み出し動作を説明する。図15(a)に示したように、選択セルMのワード線 WL_n にたとえば $3.3V$ といった正の電圧を、また、選択セルMのドレインとなる拡散層 D_n にたとえば $1V$ の正の電圧を印加する。選択セルMのソースとなる拡散層 D_{n-1} 、すべての第3ゲートAG、ウェル、非選択ワード線 WL_{n+1} は $0V$ に保持される。更に拡散層 D_{n-2} 、 D_{n+1} 、 D_{n+2} はそれぞれ $0V$ 、 $1V$ 、フローティング状態とし、書き込みの場合と同様に、誤読出しを防止する。このように、本半導体集積回路装置であっては、書き込みと同様、隣接するメモリセル4個を1つの単位とし、その内の1セルを選択して読出しが行われる。従って、1つのワード線上のすべてのセルで読出しを行うためには、最低4回の読出し動作を実施する。

【0143】図15(b)および(c)は、選択ワード線 WL_n および拡散層 D_n 、 D_{n+1} への電圧印加のタイミングの一例を示したタイミングチャートである。同図(b)および(c)に示す二通りの例がある。

【0144】図15(b)に示すように、時刻 t_0 の時点で選択ワード線 WL_n に $+3.3V$ を印加した後、時刻 t_1 ($t_0 < t_1$)の時点で拡散層 D_n 、 D_{n+1} に $+1V$ を印加する。所定の読み出し時間 t ($t = t_2 - t_1$)だけ前記電圧を維持した後、時刻 t_2 で拡散層 D_n 、 D_{n+1} の電位を $0V$ に戻す。その後時刻 t_3 ($t_2 < t_3$)で選択ワード線 WL_n の電位を $0V$ に戻す。このようなタイミングで書き込みを行う場合、ドレイン

電圧印加時間が短いため、ドレインディスタープを緩和できるという効果がある。

【0145】あるいは、図15(c)に示すように、時刻 t_0 の時点で拡散層 D_n 、 D_{n+1} に $+1V$ を印加した後、時刻 t_1 ($t_0 < t_1$)の時点で選択ワード線 WL_n に $+3.3V$ を印加する。所定の書き込み時間 t ($t = t_2 - t_1$)だけ前記電圧を維持した後、時刻 t_2 で選択ワード線 WL_n の電位を $0V$ に戻す。その後時刻 t_3 ($t_2 < t_3$)で拡散層 D_n 、 D_{n+1} の電位を $0V$ に戻す。このようなタイミングで書き込みを行う場合、ワード線電圧印加時間が短いため、ワードディスタープを緩和できるという効果がある。

【0146】本実施の形態の半導体集積回路装置によれば、メモリセルMは、浮遊ゲートおよび制御ゲート以外の第3ゲートを有するにもかかわらず、ローカルデータ線方向およびワード線方向の寸法を、それぞれ最小加工寸法 F の2倍とすることが可能である。このため、メモリセル面積を $4F^2$ に縮小することができる。また、ワード線としてポリメタル構造を用いたため、書込みおよび読出し動作時のワード線の立上りの遅延時間を縮小することが可能である。また、第3ゲート形成後、ポリメタル構造のワード線を形成したため、浮遊ゲートー第3ゲート間のシリコン酸化膜の欠陥密度を低減可能である。また、書込み／消去時の内部動作電圧の絶対値の最大値を $13.5V$ に低減することが可能である。

【0147】なお、本実施の形態とは異なり、浮遊ゲートパターンを形成後、第3ゲートを、浮遊ゲートパターンによって形成される隙間に形成し、その後ワード線を浮遊ゲートパターンに対して垂直に形成し、これをマスクに浮遊ゲートを更にパターンニングし、その後、ソース／ドレインとなる拡散層を形成する方法も考えられる。この場合には、チャンネルとワード線は互いに直交し、第3ゲートは浮遊ゲート端面のうち、チャンネルに平行な面で浮遊ゲートと対向することになる。しかしながら、この方法であっては、第3ゲートを形成後、拡散層のイオン打込みを行うこととなるため、第3ゲートの下部に拡散層を形成することが困難である。従って、拡散層を接続するためには、各メモリセル毎にコンタクト孔を配して導電体を接続する必要がある、本実施の形態に比べセル面積が増大するという問題を生じる。従って、メモリセル微細化と欠陥密度低減の両立を図るためには、第3ゲートの配置方向は、本実施の形態で述べたように、その2つの端面を、前記浮遊ゲートの端面のうちワード線およびチャンネルとそれぞれ垂直な方向に存在する2つの端面と、それぞれ対向して存在することが必然である。

【0148】(実施の形態2) 図16は、本発明の実施の形態2である半導体集積回路装置の一例を示した断面図である。本実施の形態の半導体集積回路装置の平面図は、実施の形態1の図1と同様であり、図16(a)、(b)および(c)は、各々、図1におけるA-A'、

B-B' および C-C' 線断面図である。

【0149】本実施の形態の半導体集積回路装置は、実施の形態1の半導体集積回路装置と、ソース/ドレイン拡散層205において相違するのみであり、その他の部材の材料、構造、配置等は実施の形態1と同様である。従って、実施の形態1と相違する部分について説明し、その他の説明は省略する。

【0150】ソース/ドレイン拡散層205はワード線111aに垂直に配置され、列方向(x方向)のメモリセルのソース/ドレインを接続するローカルソース線およびローカルデータ線として存在する。この点は実施の形態1と同様であり、メモリセル毎にコンタクト孔を持たない、いわゆるコンタクトレス型のアレイから構成され、メモリセルの形成密度が向上できる点は実施の形態1と同様である。よって、本実施の形態の半導体集積回路装置も、実施の形態1と同様、メモリセル面積を $4F^2$ (F:最小加工寸法)に縮小できる。

【0151】一方、本実施の形態のソース/ドレイン拡散層205は、実施の形態1とは異なり、ソース/ドレインを形成する1対の拡散層205が浮遊ゲートパターン103aに対し非対称の位置関係にあり、一方の拡散層が浮遊ゲートとオーバーラップしないオフセット構造となっている。また、実施の形態1にあつては消去ゲートとなる第3ゲートはその全面が拡散層105上に存在したが、本実施の形態では、第3ゲート107aと拡散層205はそれぞれの一部分がオーバーラップするように存在する。これにより、本実施の形態では第3ゲート107a下のウェル中にもチャネルが形成され、本実施の形態の第3ゲート107aは消去ゲートとしてばかりではなく、その下部に存在するチャネルを制御するゲートとしても機能する。これにより、書込み時のホットエレクトロンの発生および注入効率が増大し、チャネル電流の小さな領域での書込みが可能となる。従って、従来と同程度の電流供給能力をもつ内部電源で、キロバイトオーダー以上の多数個のメモリセルの並列書込みが可能となる。

【0152】次に、本実施の形態の半導体集積回路装置の製造方法を説明する。本実施の形態の製造方法は、実施の形態1における図3(c)に示す工程までは、実施の形態1と同様である。

【0153】実施の形態1の図3(c)に示すように、シリコン窒化膜104aおよびポリシリコン膜103aを形成後、図17に示すように、斜めイオン打込み法によりヒ素(As)イオンをウェル101に打込み、メモリセルのソース/ドレインとなる拡散層205を形成する。拡散層205は斜めイオン打込み法により形成されるため、照射イオンがシリコン窒化膜104aおよびポリシリコン膜103aで遮蔽され、ポリシリコン膜103a間の全領域には拡散層205は形成されない。また、斜め方向からイオンが照射されるため、ポリシリコ

ン膜103a下部に一部にも拡散層205が形成される。これにより前記の通り第3ゲート107aと拡散層205とがそれぞれの一部分がオーバーラップするように形成され、第3ゲート107a下のウェル101中にもチャネルが形成されるようになる。

【0154】その後、実施の形態1の図3(e)~図5(e)に示す工程と同様の工程を施し、メモリセルを完成できる。

【0155】図18は本実施の形態のメモリセルアレイの構成を示した回路図である。ソース/ドレインとなる拡散層105($\cdots D_{n-2}, D_{n-1}, D_n, D_{n+1}, D_{n+2} \cdots$)、ワード線WL($WL_0, WL_1 \cdots WL_n$)、ソース線あるいはデータ線を選択する選択MOSトランジスタ、アレイブロックについては実施の形態1と同様である。本実施の形態では、第3ゲート(AG)を、実施の形態1の図10~12に示すと同様に、列方向(y方向)に伸びた第3ゲート107aが1本おきにアレイブロックの片側(上側もしくは下側の各々)で、束ねられるよう、ポリシリコン103aがパターンニングされ、1本おきに束ねられた第3ゲート107a(AG)に別々の電位が印加できるようにしている。なお、第3ゲートの結尾部114は、ブロック端のワード線111zと選択トランジスタのゲート113の間に配置できることは実施の形態1と同様である。また、第3ゲート107aの結尾部114、コンタクト孔115、金属配線116についても実施の形態1と同様である。

【0156】次に、前記方法により形成したメモリセルの書込み時、消去時、および読出し時の電圧印加条件および動作方法を、図19~図21を用いて説明する。図19は書き込み動作を、図20は消去動作を、図21は読み出し動作の例を各々示し、(a)は等価回路図を、(b)~(g)はタイミングチャートを示す。図19~図21の(a)において点線で囲まれたセルで選択的にそれぞれの動作が行われる。

【0157】書込みの際は、図19(a)に示したように、選択セルMのワード線 WL_n にたとえば12V程度の正の電圧を、また、選択セルMのドレインとなる拡散層 D_n にたとえば5V程度の正の電圧を印加する。また、選択セルMおよびM+2の第3ゲート AG_e には、第3ゲートによって構成されるMOSトランジスタのしきい値程度の電圧、たとえば2V程度を印加する。選択セルMのソースとなる拡散層 D_{n-1} 、ウェル、非選択ワード線 WL_{n+1} は0Vに保持される。前記バイアス条件により、浮遊ゲートと第3ゲートの境界部下のチャネルに大きな横方向および縦方向の電界が形成される。これによりホットエレクトロンの発生および注入効率が増大し、チャネル電流が小さいにもかかわらず、高速の書込みが可能となる。これにより、1mA程度の電流供給能力を有する内部電源を用いても、キロバイト以上のメモリセルの並列書込みが可能となる。

【0158】なお、選択セルMに隣接するメモリセルM-1、M+1では、第3ゲートAG_oを0Vとする。これによりメモリセルMおよびM+2の少なくともいずれか1つが書き込み状態にあっても、それに隣接するメモリセルM-1およびM+1においては第3ゲートAG_oがスイッチの機能を果たし、チャネルがOFFとなってチャネルに電流が流れない。従ってホットエレクトロンが発生しないので書き込みが起らない。

【0159】このように、本半導体集積回路装置においては、隣接するメモリセル2個を1つの単位とし、その内の1セルを選択して書き込みが行われる。従って、1つのワード線上のすべてのセルに書き込みを行うためには、実施の形態1より少ない最低2回の書き込みで動作が完了する。

【0160】以上の第3ゲートAG (AG_e, AG_o)によりもたらされる高効率のホットエレクトロン注入と隣接セルの誤書き込み防止により書き込み単位の増大が可能であり、大容量フラッシュメモリに不可欠な書き込み速度の向上が図れる。

【0161】図19(b)～(g)は、選択ワード線WL_nおよび拡散層D_n、第3ゲートAG_eへの電圧印加のタイミングの一例を示したタイミングチャートである。図19(b)～(g)に示すように、6通りの例がある。

【0162】図19(b)に示すように、時刻t₀の時点で選択ワード線WL_nに+12Vを印加した後、時刻t₁(t₀<t₁)の時点で第3ゲートAG_eに+2Vを印加する。その後、時刻t₂(t₁<t₂)の時点で拡散層D_nに+5Vを印加する。所定の書き込み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で拡散層D_nの電位を0Vに戻し、時刻t₄(t₃<t₄)で第3ゲートAG_eの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で選択ワード線WL_nの電位を0Vに戻す。あるいは、図19(d)に示すように、時刻t₀の時点で第3ゲートAG_eに+2Vを印加した後、時刻t₁(t₀<t₁)の時点で選択ワード線WL_nに+12Vを印加する。その後、時刻t₂(t₁<t₂)の時点で拡散層D_nに+5Vを印加する。所定の書き込み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で拡散層D_nの電位を0Vに戻し、時刻t₄(t₃<t₄)で選択ワード線WL_nの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で第3ゲートAG_eの電位を0Vに戻す。これらのタイミングで書き込みを行う場合、ドレイン電圧印加時間が短いため、ドレインディスタブを緩和できるという効果がある。

【0163】また、図19(c)に示すように、時刻t₀の時点で選択ワード線WL_nに+12Vを印加した後、時刻t₁(t₀<t₁)の時点で拡散層D_nに+5Vを印加する。その後、時刻t₂(t₁<t₂)の時点で第3ゲートAG_eに+2Vを印加する。所定の書き

み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で第3ゲートAG_eの電位を0Vに戻し、時刻t₄(t₃<t₄)で拡散層D_nの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で選択ワード線WL_nの電位を0Vに戻す。あるいは、図19(e)に示すように、時刻t₀の時点で拡散層D_nに+5Vを印加した後、時刻t₁(t₀<t₁)の時点で選択ワード線WL_nに+12Vを印加する。その後、時刻t₂(t₁<t₂)の時点で第3ゲートAG_eに+2Vを印加する。所定の書き込み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で第3ゲートAG_eの電位を0Vに戻し、時刻t₄(t₃<t₄)で選択ワード線WL_nの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で拡散層D_nの電位を0Vに戻す。これらのタイミングで書き込みを行う場合、第3ゲートAG_eの電位によって書き込み時間tが制御されることとなる。この場合、第3ゲートAG_eの電圧の方がワード線電圧あるいは拡散層電圧に比べて切替える電圧幅が小さいため、切替え時間を短くできる。従って、第3ゲートAG_eで書き込み時間tを直接制御する本動作は、書き込み時間の制御性に優れているという効果がある。

【0164】また、図19(f)に示すように、時刻t₀の時点で拡散層D_nに+5Vを印加した後、時刻t₁(t₀<t₁)の時点で第3ゲートAG_eに+2Vを印加する。その後、時刻t₂(t₁<t₂)の時点で選択ワード線WL_nに+12Vを印加する。所定の書き込み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で選択ワード線WL_nの電位を0Vに戻し、時刻t₄(t₃<t₄)で第3ゲートAG_eの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で拡散層D_nの電位を0Vに戻す。あるいは、図19(g)に示すように、時刻t₀の時点で第3ゲートAG_eに+2Vを印加した後、時刻t₁(t₀<t₁)の時点で拡散層D_nに+5Vを印加する。その後、時刻t₂(t₁<t₂)の時点で選択ワード線WL_nに+12Vを印加する。所定の書き込み時間t(t=t₃-t₂)だけ前記電圧を維持した後、時刻t₃で選択ワード線WL_nの電位を0Vに戻し、時刻t₄(t₃<t₄)で拡散層D_nの電位を0Vに戻し、さらに時刻t₅(t₄<t₅)で第3ゲートAG_eの電位を0Vに戻す。これらのタイミングで書き込みを行う場合、ワード線電圧印加時間が短いため、ワードディスタブを緩和できるという効果がある。

【0165】次に、消去動作を説明する。図20(a)に示したように、選択ワード線WL_nにたとえば-13.5Vの負の電圧を、また、すべての第3ゲートAG_e, AG_oにたとえば3.3Vといった比較的小さな正の電圧を印加する。各拡散層D_{n-2}～D_{n+2}、ウェル、非選択ワード線WL_{n+1}は0Vである。これにより、ワード線WL_n上のすべてのメモリセルにおいて、浮遊ゲートから第3ゲートにファウラーノールドハイ

【0172】図21(b)に示すように、時刻 t_0 の時点で選択ワード線 WL_n に+3.3Vを印加した後、時

【0174】また、図21(f)に示すように、時刻 t_0 の時点で拡散層 D_n に $+1V$ を印加した後、時刻 t_1 ($t_0 < t_1$)の時点で第3ゲート AG_e に $+3.3V$ を印加する。その後、時刻 t_2 ($t_1 < t_2$)の時点で選択ワード線 WL_n に $+3.3V$ を印加する。所定の読み出し時間 t ($t = t_3 - t_2$)だけ前記電圧を維持した後、時刻 t_3 で選択ワード線 WL_n の電位を $0V$ に戻し、時刻 t_4 ($t_3 < t_4$)で第3ゲート AG_e の電位を $0V$ に戻し、さらに時刻 t_5 ($t_4 < t_5$)で拡散層 D_n の電位を $0V$ に戻す。あるいは、図21(g)に示すように、時刻 t_0 の時点で第3ゲート AG_e に $+3.3V$ を印加する。

3 Vを印加した後、時刻 t_1 ($t_0 < t_1$) の時点で拡散層 D_n に +1 Vを印加する。その後、時刻 t_2 ($t_1 < t_2$) の時点で選択ワード線 WL_n に +3.3 Vを印加する。所定の読み出し時間 t ($t = t_3 - t_2$) だけ前記電圧を維持した後、時刻 t_3 で選択ワード線 WL_n の電位を 0 Vに戻し、時刻 t_4 ($t_3 < t_4$) で拡散層 D_n の電位を 0 Vに戻し、さらに時刻 t_5 ($t_4 < t_5$) で第3ゲート AG_e の電位を 0 Vに戻す。これらのタイミングで書き込みを行う場合、ワード線電圧印加時間が短いため、ワードディスタブを緩和できるという効果がある。

【0175】なお、前記したように本実施の形態では、書き込みおよび読み出しの際、第3ゲートに対して1本おきに同一の電圧が印加される。従って第3ゲートの取出し部のレイアウトとしては、前記の通り、アレイブロックの上下であって、列方向に伸びた第3ゲート(消去ゲート) 107aが1本おきに束ねられるような構造である必要がある。

【0176】本実施の形態によれば、実施の形態1で説明した効果に加え、書き込み単位の増大が可能となり書き込み速度の増大が図れる。すなわち、本実施の形態では、第3ゲート107a (AG_e , AG_o) を一本おきに配置し、各々別電圧を印加できるように構成しているため、書き込みおよび読み出しに必要な動作の回数を低減できる。また、第3ゲート107a下部の一部にもチャネル領域を形成するため、第3ゲート107aを消去ゲートとしてのみならず、チャネル制御を行う制御ゲートとしての機能をもたせることができる。このため、第3ゲート107aにより制御ゲート111aとは独立にチャネル内の電界を制御でき、書き込み効率を向上できる。この結果、少ないチャネル電流での効率的、高速な書き込みを実現できる。

【0177】(実施の形態3) 図22は、本発明の実施の形態3である半導体集積回路装置の一例を示した一部平面図であり、図23(a)、(b)および(c)は、各々、図22におけるA-A'、B-B'およびC-C'線断面図である。なお、図22の平面図において、図面を見やすくするため各部材にハッチングを施し、一部の部材は省略している。図23(a)、(b)および(c)は、各々、図22におけるA-A'、B-B'およびC-C'線断面図である。

【0178】本実施の形態の半導体集積回路装置の構成は、浮遊ゲート103bと第3ゲート107aとの間の絶縁膜606aの膜厚を厚膜化した点を除き、実施の形態2の半導体集積回路装置とほぼ同様であり、その他の部材の材料、構造、配置等は実施の形態2と同様である。従って、実施の形態2と相違する部分について説明し、その他の説明は省略する。

【0179】本実施の形態の絶縁膜606aは、その膜厚を約30nmと厚くしたものである。この結果、本実

施の形態では、消去の際の電子放出を浮遊ゲート103bから基板(ウェル101)とするものである。このため、浮遊ゲート103bと基板(ウェル101)との間の絶縁膜102の膜厚を10nmとする。この点も実施の形態2と相違する。

【0180】本実施の形態の半導体集積回路装置の製造方法は、実施の形態2における図17の工程までは実施の形態2と同様である(図24(a))。ただし、実施の形態2で引用する実施の形態1の図3(a)に示すゲート絶縁膜102は前記の通り、その膜厚が10nm程度となるように形成する。その後、図24(b)に示すように、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜606を実施の形態1の図3(e)と同様の方法により形成する。本実施の形態では浮遊ゲートに蓄積した電子を半導体基板へ放出するため、シリコン酸化膜606の膜厚は比較的厚い30nmとする。なお、実施の形態2と同様、窒素を添加したシリコン酸化膜606を用いることにより、書き込みの際、本シリコン酸化膜中に電子が注入/トラップされるのを抑制することが可能である。

【0181】その後、実施の形態2と同様に、実施の形態1の図4(a)~図5(e)に示す工程と同様の工程を施し、メモリセルを完成できる。なお、シリコン酸化膜606は、前記工程の途中でエッチングされ、シリコン酸化膜606aとなる。

【0182】図25はメモリセルアレイの構成を示した図である。ソース/ドレインとなる拡散層 D_n ($D_n - 2 \sim D_n + 2$)、ワード線 WL ($WL_0 \sim WL_m$) および選択MOSトランジスタ、アレイブロックについては実施の形態1、2と同様である。第3ゲート AG については、実施の形態2と同様である。

【0183】次に、前記方法により形成したメモリセルの書き込み時、消去時、および読み出し時の電圧印加条件および動作方法を説明する。図26は消去動作の例を示し、(a)は等価回路図を、(b)はタイミングチャートを示す。図26(a)において点線で囲まれたセルで選択的に消去動作が行われる。なお、書き込みおよび読み出し動作については実施の形態2と同様であるため、説明を省略する。

【0184】消去の際は図26(a)に示したように、選択ワード線 WL_n にたとえば-16Vの負の電圧を印加し、すべての第3ゲート AG_e , AG_o 、各拡散層 D 、ウェル、非選択ワード線 WL_{n+1} は0Vとする。これにより、ワード線 WL_n 上のすべてのメモリセルで、浮遊ゲートからウェルにファウラー-ノールドハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。このように、消去動作はワード線を1つの単位とするセクタ毎に行われる。

【0185】なお、消去の際は、複数のワード線に同時

に負の電圧、たとえば -1.6 V を印加し、すべての第3ゲートAG、各拡散層D、ウェルを 0 V としてもよい。この場合、負の電圧が印加されたワード線上のすべてのセルで消去が行なわれる。

【0186】また、消去の際には、ウェルに正の電圧、たとえば 1.6 V を印加し、全ての第3ゲートAG、各拡散層Dを 0 V としてもよい。この際、選択ワード線 0 V 、非選択ワード線を 1.6 V とすれば、1本または複数のワード線上の全てのセルで消去が行われる。

【0187】また、消去の際には、ワード線 WLn にたとえば -9 V の負の電圧を印加し、各拡散層Dにたとえば 4 V の正の電圧を印加し、全ての第3ゲートAG、ウェル、非選択ワード線 $WLn+1$ を 0 V としても良い。これにより、ワード線 WLn 上の全てのメモリセルにおいて、浮遊ゲートから拡散層Dにファウラーノールドハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。

【0188】図26(b)は、選択ワード線 WLn への電圧印加のタイミングの一例を示したタイミングチャートである。本実施の形態では、第3ゲートAGは消去ゲートとしては機能しないので、選択ワード線 WLn の操作のみで消去動作が行われる。図26(b)に示すように、時刻 t_0 の時点で選択ワード線 WLn に -1.6 V を印加した後、時刻 t_3 ($t_0 < t_3$)で選択ワード線 WLn の電位を 0 V に戻す。

【0189】本実施の形態によれば、実施の形態1、2で説明した効果と同様な効果が得られる。

【0190】(実施の形態4) 図27は、本発明の実施の形態4である半導体集積回路装置の製造方法の一例を示した一部断面図である。本実施の形態の半導体集積回路装置の構造、第3ゲートの取出し方法、アレイド構成、および動作方式は、実施の形態2と同様である。よって、ここでの説明を省略する。一方、本実施の形態の製造方法は、実施の形態2と相違する。以下、その相違する部分について図27を用いて工程順に説明する。

【0191】まず、半導体基板100上にp型ウェル101を形成する(図27(a))。ウェル101の形成には不純物拡散法、イオン注入法等を用いることができる。

【0192】続いて半導体基板100上にたとえばフォトリソスト膜(図示せず)をパターンニングし、このフォトリソスト膜をマスクとして砒素(As)イオンをイオン注入により打ち込む。この砒素イオンは半導体基板100に対し、概ね垂直に打ち込む。これによりメモリセルのソース/ドレインとなる拡散層205を形成する(図27(b))。

【0193】次に、実施の形態1と同様に、たとえば熱酸化法により 12 nm 程度のゲート絶縁膜102を形成し、続いて第1ゲートとなるリンをドーピングしたポリシリコン膜103とシリコン窒化膜104を順次堆積し

た(図27(c))。

【0194】次に、実施の形態1と同様に、たとえばリソグラフィとドライエッチング技術により前記シリコン窒化膜104およびポリシリコン膜103をパターンニングした(シリコン窒化膜およびポリシリコン膜はそれぞれ104a、103aとなる)(図27(d))。このパターンニングは、ポリシリコン膜103aの一方の端面が拡散層205の中央付近に来るようにマスク合わせをして行う。つまり、ポリシリコン膜103aと後に形成される第3ゲートとの両方に跨って拡散層205が配置されるようにパターンニングする。

【0195】次に、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜106を実施の形態1の図3(e)と同様の方法により 10.5 nm 形成する(図27(e))。

【0196】その後の工程は実施の形態2と同様、実施の形態1の図3(e)~図5(e)に示す工程と同様であるため、その説明を省略する。

【0197】本実施の形態によれば、拡散層205を形成した後にゲート絶縁膜102を形成するため、ゲート絶縁膜102の信頼性を向上し、半導体集積回路装置の歩留りの向上が図れるという効果がある。さらに内部動作電圧の低減が図れるという効果がある。また、書き込み速度が増大できるという効果がある。

【0198】なお、ワード線 WLn に比較的高い負の電圧、たとえば -1.7 V を印加し、全ての第3ゲートAG、各拡散層D、ウェル、非選択ワード線 $WLn+1$ を 0 V として消去動作を行っても良い。これにより、ワード線 WLn 上の全てのメモリセルにおいて、浮遊ゲートからウェルにファウラーノールドハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。

【0199】(実施の形態5) 図28は、本発明の実施の形態5である半導体集積回路装置の一例を示した一部平面図であり、図29(a)、(b)および(c)は、各々、図28におけるA-A'、B-B'およびC-C'線断面図である。なお、図29の平面図において、図面を見やすくするため各部材にハッチングを施し、一部の部材は省略している。

【0200】図28および図29に示したように、本実施の形態のメモリセルはウェル301中のソース/ドレイン拡散層306、第1ゲート304bおよび310b(浮遊ゲート)、第2ゲート312a(制御ゲート)、および第3ゲート308aを有する。各メモリセルの制御ゲート312aは行方向(x方向)に接続され、ワード線を形成している。浮遊ゲート304bとウェル301はゲート絶縁膜303に、浮遊ゲート304bおよび310bと第3ゲート308aは絶縁膜307に、浮遊ゲート304bとワード線(制御ゲート)312aは絶縁膜311aに、第3ゲート308aとワード線312

a は絶縁膜 309a により、それぞれ分離されている。

【0201】ソース／ドレイン拡散層 306 はワード線 312a に垂直に配置され、列方向 (y 方向) のメモリセルのソース／ドレインを接続するローカルソース線およびローカルデータ線として存在する。

【0202】すなわち、本実施の形態の半導体集積回路装置は、メモリセル毎にコンタクト孔を持たない、いわゆるコンタクトレス型のアレイから構成される。この拡散層 306 に垂直な方向 (x 方向) にチャネルが形成される。

【0203】第 3 ゲート 308a の 2 つの端面は、前記浮遊ゲート 304b の端面のうちワード線 312a およびチャネルとそれぞれ垂直な方向に存在する 2 つの端面と、それぞれ絶縁膜を介して対向して存在する。

【0204】第 3 ゲート 308a はワード線 312a およびチャネルと垂直な方向 (y 方向) に存在する浮遊ゲート 304b の隙間に埋込まれて存在する。さらに、浮遊ゲート 304b が第 3 ゲート 308a に対し対称に、また前記第 3 ゲート 308a が浮遊ゲート 304b に対し対称に存在する。

【0205】本実施の形態であっては、実施の形態 1 および 2 とは異なり、ワード線方向に隣接するメモリセルの拡散層 306 はシリコン酸化膜からなる素子分離領域 302 により分離されている。第 3 ゲートはその全面が素子分離領域 302 および拡散層 306 にオーバーラップするように配置される。

【0206】次に、図 30～図 33 を用いて本実施の形態のメモリセルの製造方法を示す。まず、半導体基板 300 上に p 型ウェル 301 を形成した後、たとえばフォトリソグラフィおよびエッチング技術による溝形成と、CVD 法によるたとえばシリコン酸化膜の堆積により前記溝を埋め込み、その後半導体基板 300 上の前記シリコン酸化膜をたとえば CMP 法により除去する技術を用いて、たとえばシリコン酸化膜からなる素子分離領域 302 を形成する (図 30 (a))。

【0207】次に、実施の形態 1 と同様に、熱酸化法によりゲート絶縁膜 303 を形成し、続いて浮遊ゲートとなるリンをドーピングしたポリシリコン膜 304 とシリコン窒化膜 305 を順次堆積する (図 30 (b))。

【0208】次に、実施の形態 1 と同様に、前記シリコン窒化膜 305 およびポリシリコン膜 304 をパターンニングする (シリコン窒化膜およびポリシリコン膜はそれぞれ 305a、304a となる) (図 30 (c))。

【0209】その後、イオン打込み法によりヒ素イオンを打込み、メモリセルのソース／ドレインとなる拡散層 306 を形成する (図 31 (a))。

【0210】次に、浮遊ゲートと第 3 ゲートを分離するための絶縁膜 307 を実施の形態 1 の図 3 (e) に示したのと同様の方法により形成し (図 31 (b))、その後、第 3 ゲートとなるリンをドーピングしたポリシリコ

ン膜 308 を浮遊ゲートパターン 304a の隙間が完全に埋まるように堆積する (図 31 (c))。

【0211】さらに、実施の形態 1 と同様に、ポリシリコン膜 308 をエッチバックして浮遊ゲートパターン 304a の隙間に所定の厚さ残したポリシリコン 308a を形成する (図 32 (a))。ここで、ポリシリコン膜 308a の膜厚を浮遊ゲートポリシリコン 304a の膜厚に比べて小さくし、消去時の内部動作電圧を低減することができる点は実施の形態 1 と同様である。その後、実施の形態 1 と同様に、シリコン酸化膜 309 を浮遊ゲートパターン 304a の隙間が完全に埋まるように堆積し (図 32 (b))、これを化学的機械研磨法 (CMP 法) によりシリコン窒化膜 305a が露出するまで研磨し (シリコン窒化膜 305a およびシリコン酸化膜 309 はそれぞれ 305b および 309a となる (図 32 (c))、その後、熱リン酸水溶液を用いてシリコン窒化膜 305b を除去してポリシリコン 304a の表面を露出させる (図 32 (d))。

【0212】さらに、実施の形態 1 と同様に、リンをドーピングしたポリシリコン膜 310 を堆積し (図 33 (a))、これをパターンニングしてポリシリコン膜 310a を形成する (図 33 (b))。本ポリシリコン膜 310a はポリシリコン 304a と電気的に接続しており、この 2 層のポリシリコンで浮遊ゲートを形成する。ポリシリコン 310a は浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書き込み／消去時の内部動作電圧の低減が可能である。

【0213】次に、実施の形態 1 の図 3 (e) で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜 311 を形成し (図 33 (c))、その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜 312 を堆積する (図 33 (d))。さらに、実施の形態 1 と同様に、たとえばリソグラフィとドライエッチング技術によりポリメタル膜 312 をパターンニングしてワード線を形成し (ポリメタル膜 312 は 312a となる)、その後、シリコン酸化膜 311、ポリシリコン膜 310a、304a をエッチングし、浮遊ゲートを完成する (これによりポリシリコン 304a、310a はそれぞれ 304b および 310b となる)。その後、図には示していないが、層間絶縁膜を形成した後、ワード線 312a、ソース／ドレイン拡散層 306、ウェル 301、第 3 ゲート 308a に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターンニングして配線とし、メモリセルを完成する。

【0214】図 34 はメモリセルアレイの構成を示した図である。ソース／ドレインとなる拡散層 S_n および D_n はワード線の延在方向 (x 方向) と垂直な方向 (y 方向) に延在し、x 方向に隣接するメモリセルを接続する

配線の役割を有している。本実施の形態においては、実施の形態 1～4 とは相違し、x 方向に隣接するセル間には素子分離領域が形成されている。このため、y 方向に隣接するセル間での拡散層の共有はなされず、ソース線とデータ線の機能は各々拡散層 S_n (ソース線) および拡散層 D_n (データ線) に固定される。すなわち仮想接地型ではない。この各拡散層配線 S_n および D_n の y 方向の両端にはソース線あるいはデータ線を選択する選択 MOS トランジスタが配置されている。ソース線を選択する選択 MOS は図において上側に配置され、データ線を選択する選択 MOS は図において下側に配置される。このように、本実施の形態では、拡散層の上下両端に選択 MOS が形成されず、各拡散層に一本おきに上下互い違いに配置されるため、選択 MOS を形成するための面積が緩和される。この選択 MOS で囲まれた領域をアレイブロックと呼ぶ。第 3 ゲート (補助ゲート) AG は y 方向に延在して配置され、アレイブロックの上下端 (y 方向の両端) で 1 つに結束される。

【0215】次に、前記方法により形成したメモリセルの書き込み時、消去時、および読出し時の電圧印加条件および動作方法を図 35～図 37 を用いて説明する。図 35 は書き込み動作を、図 36 は消去動作を、図 37 は読出し動作の例を各々示し、(a) は等価回路図を、

(b) あるいは (c) はタイミングチャートを示す。図 35～図 37 の (a) において点線で囲まれたセルで選択的にそれぞれの動作が行われる。

【0216】書き込みの際は、図 35 (a) に示したように、選択セル M のワード線 WL_n にたとえば 1.2 V 程度の正の電圧を、また、選択セル M のドレインとなる拡散層 D_n にたとえば 5 V 程度の正の電圧を印加し、選択セル M のソースとなる拡散層 S_n は 0 V の電圧に保持する。このようにソース・ドレインおよびワード線を前記所定の電圧に維持することによりメモリセル M のチャネル領域にホットエレクトロンが生じ、これが浮遊ゲートに注入される。非選択セルのソース・ドレイン (拡散層 D_{n-1} , D_{n+1} , D_{n+2} , S_{n-1} , S_{n+1} , S_{n+2})、すべての第 3 ゲート AG、ウェル、非選択ワード線 WL_{n+1} は 0 V に保持される。これにより選択メモリセル M のみでホットエレクトロン注入が起こり、浮遊ゲートに電子が蓄積されてメモリセルのしきい値が上昇し、書き込みが行われる。本半導体集積回路装置では、ワード線方向 (x 方向) に隣接するメモリセル間に素子分離領域 302 が存在するため、隣接メモリセル間で拡散層を共有しない。従って、ワード線方向に隣接するメモリセルを同時に書き込むことが可能である。

【0217】図 35 (b) および (c) は、選択ワード線 WL_n およびドレイン拡散層 D_n への電圧印加のタイミングの一例を示したタイミングチャートである。同図 (b) および (c) に示す二通りの例がある。図 35 (b) および (c) に示すタイミングは、実施の形態 1

における図 13 (b)、(c) のタイミングとほぼ同様である。ただし、本実施の形態のドレイン拡散層 D_n への電圧印加のタイミングは、図 13 (b)、(c) における拡散層 D_n , D_{n+1} のタイミングを置き換えたものとする。従って、印加タイミングの説明および効果の説明は実施の形態 1 と同様であり、ここでの説明は省略する。

【0218】次に、消去の際は、図 36 (a) に示したように、選択ワード線 WL_n にたとえば -1.3. 5 V の負の電圧を、また、すべての第 3 ゲート AG にたとえば 3. 3 V といった比較的小さな正の電圧を印加する。また、各拡散層 ($D_{n-1} \sim D_{n+2}$, $S_{n-1} \sim S_{n+2}$)、ウェル、非選択ワード線 WL_{n+1} は 0 V である。これにより、ワード線 WL_n 上のすべてのメモリセルで、浮遊ゲートから第 3 ゲートにファウラー・ノールドハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。

【0219】図 36 (b) は、選択ワード線 WL_n および第 3 ゲート AG への電圧印加のタイミングの一例を示したタイミングチャートである。この印加タイミングは、実施の形態 1 における図 14 (b) の場合と同様であるため説明を省略する。

【0220】なお、消去の際は、複数のワード線に同時に負の電圧、たとえば -1.3. 5 V を印加し、すべての第 3 ゲート AG にたとえば 3. 3 V といった比較的小さな正の電圧、各拡散層 D , S 、ウェルを 0 V としてもよい。この場合、負の電圧が印加されたワード線上のセルで消去が行なわれる。

【0221】また、すべての第 3 ゲート AG に比較的大きな電圧、たとえば 1.7 V を印加し、すべてのワード線、各拡散層 D 、ウェルを 0 V としてもよい。この場合、ブロック内のすべてのメモリセルで消去が行なわれる。

【0222】次に、読出し際は、図 37 (a) に示したように、選択セル M のワード線 WL_n にたとえば 3. 3 V 程度の正の電圧を、また、選択セル M のドレインとなる拡散層 D_n にたとえば 1 V 程度の正の電圧を印加し、選択セル M のソースとなる拡散層 S_n は 0 V の電圧に保持する。一方、非選択セルのソース・ドレイン (拡散層 D_{n-1} , D_{n+1} , D_{n+2} , S_{n-1} , S_{n+1} , S_{n+2})、すべての第 3 ゲート AG、ウェル、非選択ワード線 WL_{n+1} は 0 V に保持される。このような電圧に維持することにより、浮遊ゲート内の電子の有無によるチャネルの ON または OFF を検出でき、情報を読み出すことができる。

【0223】図 37 (b) および (c) は、選択ワード線 WL_n および拡散層 D_n への電圧印加のタイミングの一例を示したタイミングチャートである。同図 (b) および (c) に示す二通りの例がある。図 37 (b) および (c) に示すタイミングは、実施の形態 1 における図

15 (b)、(c)のタイミングとほぼ同様である。ただし、本実施の形態のドレイン拡散層Dnへの電圧印加のタイミングは、図15 (b)、(c)における拡散層Dn、Dn+1のタイミングを置き換えたものとする。よって、印加タイミングの説明および効果の説明は実施の形態1と同様であり、ここでの説明は省略する。

【0224】本実施の形態によれば、前記方法により形成したメモリセルは、ワード線としてポリメタル構造を用いたため、書込みおよび読出し動作時のワード線の立上りの遅延時間を縮小することが可能である。また、第3ゲート形成後、ポリメタル構造のワード線を形成したため、浮遊ゲート-第3ゲート間のシリコン酸化膜の欠陥密度を低減可能である。また、書込み/消去時の内部動作電圧の絶対値の最大値を13.5Vに低減することが可能である。

【0225】さらに、本実施の形態では、浮遊ゲートの一部にポリシリコン310bを有するため、浮遊ゲートと制御ゲートの対向面積が増加し、両ゲートのカップリングが増大する。このため、消去電圧のマージンが増加し、消去電圧の低減余裕が増す。

【0226】(実施の形態6)図38は、本発明の実施の形態6である半導体集積回路装置の一例を示した一部平面図であり、図39 (a)、(b)および(c)は、各々、図38におけるA-A'、B-B'およびC-C'線断面図である。なお、図38の平面図において、図面を見やすくするため各部材にハッチングを施し、一部の部材は省略している。

【0227】図38および図39に示したように、本実施の形態のメモリセルはウェル401中のソース/ドレイン拡散層405、第1ゲート(浮遊ゲート)404a、第2ゲート(制御ゲート)409a、および第3ゲート407aを有する。各メモリセルの制御ゲート409aは行方向(x方向)に接続され、ワード線を形成している。浮遊ゲート404aとウェル401はゲート絶縁膜403に、浮遊ゲート404aと第3ゲート407aは絶縁膜406aに、浮遊ゲート404aとワード線(制御ゲート)409aは絶縁膜408により、それぞれ分離されている。

【0228】ソース/ドレイン拡散層405はワード線409aに垂直に配置され、列方向(y方向)のメモリセルのソース/ドレインを接続するローカルソース線およびローカルデータ線として存在する。この拡散層405に垂直な方向にチャネルが形成される。

【0229】第3ゲート407aは浮遊ゲートパターン404aの間に埋め込まれる形で、かつ、浮遊ゲート404aの端面のうち、ワード線409aおよびチャネルに平行な端面で絶縁膜406aを介して浮遊ゲートに接している。本実施の形態の第3ゲート407aはフィールド酸化膜402の上に配置され、実施の形態1~5とは異なり、ワード線409aおよびチャネルに平行に、

すなわち行方向に配置される。

【0230】次に、図40~図42を用いて本実施の形態のメモリセルの製造方法を示す。まず、半導体基板400中にp型ウェル401を形成し、この上にたとえばLOCOS(Local Oxidation of Silicon)法を用いて素子分離領域となるフィールド酸化膜402を形成する(図40(a))。

【0231】次にたとえば熱酸化法によりゲート絶縁膜403を形成し(図40(b))、続いて浮遊ゲートとなるリンをドーピングしたポリシリコン膜404を堆積する(図40(c))。その後、たとえばリソグラフィとドライエッチング技術により前記ポリシリコン膜404をパターニングし、浮遊ゲート404aを形成する(図40(d))。その後、たとえばイオン打込み法によりヒ素(As)イオンを打込み、メモリセルのソース/ドレインとなる拡散層405を形成する(図示せず)。

【0232】次に、浮遊ゲートと第3ゲートを分離するための絶縁膜406を実施の形態1の図3(e)で示した方法により形成する(図41(a))。その後、第3ゲートとなるリンをドーピングしたポリシリコン膜407をたとえばCVD法により堆積する(図41(b))。その後、たとえばリソグラフィとドライエッチング技術によりポリシリコン膜407をパターニングして第3ゲートを加工する(ポリシリコン407は407aとなる)(図41(c))。

【0233】その後、図3(e)で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜408を形成する(図42(a))。その後、ポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜、いわゆるポリメタル膜409を堆積し(図42(b))、これをたとえばリソグラフィとドライエッチング技術によりパターニングしてワード線409aを形成する(図42(c))。

【0234】その後、図には示していないが、層間絶縁膜を形成した後、ワード線409a、ソース/ドレイン拡散層405、ウェル401、消去ゲート407aに至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成できる。

【0235】次に、前記方法により形成したメモリセルの書込み時、消去時、および読出し時の電圧印加条件および動作方法を図43~図45を用いて説明する。図43は書き込み動作を、図44は消去動作を、図45は読み出し動作の例を各々示し、(a)は等価回路図を、(b)あるいは(c)はタイミングチャートを示す。図43~図45の(a)において点線で囲まれたセルで選択的にそれぞれの動作が行われる。

【0236】まず、書込みの際は、図43(a)に示したように、選択セルMのワード線WL_nにたとえば12

V程度の正の電圧を、また、選択セルMのドレインとなる拡散層 D_n にたとえば5V程度の正の電圧を印加する。さらに選択セルMのソースとなる拡散層 D_{n-1} は0Vに保持される。これにより実施の形態1と同様、誤書き込みの防止ができる。これによりメモリセルMのみでホットエレクトロン注入が起り、浮遊ゲートに電子が蓄積されてメモリセルのしきい値が上昇し、書き込みが行われる。一方、すべての第3ゲートAG、ウェル、非選択ワード線 WL_{n+1} は0Vに保持される。更に拡散層 D_{n-2} 、 D_{n+1} 、 D_{n+2} はそれぞれ0V、5V、フローティング状態とする。これにより実施の形態1と同様、誤書き込みの防止ができる。このように、本半導体集積回路装置では、隣接するメモリセル4個を1つの単位とし、その内の1セルを選択して書き込みが行われる。従って、1つのワード線上のすべてのセルに書き込みを行うためには、最低4回の書き込み動作を実施する。

【0237】図43(b)および(c)は、選択ワード線 WL_n および拡散層 D_n 、 D_{n+1} への電圧印加のタイミングの一例を示したタイミングチャートである。同図(b)および(c)に示す二通りの例がある。同図

(b)および(c)に示すタイミングは、実施の形態1における図13(b)、(c)のタイミングと同様である。

【0238】次に、消去動作を説明する。図44(a)に示したように、第3ゲート AG_{n+1} を選択し、これにたとえば16Vといった正の電圧を印加する。各拡散層D、ウェル、すべてのワード線は0Vに保持される。これにより、第3ゲート AG_{n+1} に平行して隣接する2行のメモリセル $M-1 \sim M+2$ 、 $M-1' \sim M+2'$ (点線で囲んだ部分)では、浮遊ゲートから第3ゲートにファウラー-ノールドハイム型トンネリング現象により電子の放出が生じ、メモリセルのしきい値が低下して消去が行われる。すなわち、本方法では2ワード線単位で消去が行われる。この際、選択する第3ゲートAGは複数本であってもよい。

【0239】消去の別の方法としては、図44(b)に示したように、選択ワード線 WL_n にたとえば-13.5Vの負の電圧を、また、隣接する第3ゲートAGにたとえば3.3Vといった比較的小さな正の電圧を印加する。各拡散層D、ウェル、非選択ワード線 WL_{n+1} は0Vである。これにより、ワード線 WL_n 上のすべてのメモリセルで、浮遊ゲートから第3ゲートに電子の放出が生じ、消去が行われる。図44(c)は、選択ワード線 WL_n および第3ゲートAGへの電圧印加のタイミングの一例を示したタイミングチャートである。この印加タイミングは、実施の形態1における図14(b)の場合と同様であるため説明を省略する。

【0240】更に、消去の別の方法としては、複数のワード線に同時に負の電圧、たとえば-13.5Vを印加し、すべての第3ゲートAGにたとえば3.3Vとい

た比較的小さな正の電圧、各拡散層D、ウェルを0Vとしてもよい。この場合、負の電圧が印加されたワード線上のセルで消去が行なわれる。

【0241】次に、読出し動作を説明する。図45

(a)に示したように、選択セルMのワード線 WL_n にたとえば3.3Vといった正の電圧を、また、選択セルMのドレインとなる拡散層 D_n にたとえば1Vの正の電圧を印加する。選択セルMのソースとなる拡散層 D_{n-1} 、すべての第3ゲートAG、ウェル、非選択ワード線 WL_{n+1} は0Vに保持される。更に拡散層 D_{n-2} 、 D_{n+1} 、 D_{n+2} はそれぞれ0V、1V、フローティング状態とし、実施の形態1と同様に誤読出しを防止する。このように、本半導体集積回路装置では、書き込みと同様、隣接するメモリセル4個を1つの単位とし、その内の1セルを選択して読出しが行われる。従って、1つのワード線上のすべてのセルで読出しを行うためには、最低4回の読出し動作を実施する。

【0242】図45(b)および(c)は、選択ワード線 WL_n および拡散層 D_n 、 D_{n+1} への電圧印加のタイミングの一例を示したタイミングチャートである。同図(b)および(c)に示す二通りの例がある。同図

(b)および(c)に示すタイミングは、実施の形態1における図15(b)、(c)のタイミングと同様である。

【0243】本実施の形態によれば、メモリセルは、ワード線としてポリメタル構造を用いたため、書き込み、消去および読出し動作時のワード線の立上りの遅延時間を縮小することが可能である。また、第3ゲート形成後、ポリメタル構造のワード線を形成したため、浮遊ゲート-第3ゲート間のシリコン酸化膜の欠陥密度を低減可能である。また、書き込み/消去時の内部動作電圧の絶対値の最大値を13.5Vに低減することが可能である。

【0244】(実施の形態7)図46は、本発明の実施の形態7である半導体集積回路装置の一例を概念的に示した回路図である。

【0245】図46に示すように、メモリセル85がマトリクス状に配置されメモリセルアレイを構成する。図46においてはブロック分割された1つのメモリセルアレイを示している。メモリセル85には、実施の形態1~5で説明したメモリセルが適用できる。メモリセルアレイには各メモリセル85の列方向(y方向)を相互に接続する拡散層配線 $D00 \sim D04$ が形成され、拡散層配線 $D00$ にはソース線SSが接続され、拡散層配線 $D01 \sim D04$ の上下端には選択トランジスタ(選択MOS)70が1つずつ配置される。選択トランジスタ70のドレインは拡散層配線 $D11 \sim D04$ に接続され、選択トランジスタのソースはグローバルデータ線 DL_n あるいはソース線SSのいずれか一方に接続される。ただし、選択トランジスタ70のソースが拡散層配線 D_n ($D01 \sim D04$)の上端でグローバルデータ線 DL_n

に接続された場合には、下端の選択トランジスタ 70 のソースはソース線 SS に接続される。逆に、拡散層配線 D_n (D01~D04) の上端でソース線 SS に接続された場合には、下端でグローバルデータ線 DL_n に接続される。これを拡散層配線 D_n の 1 本毎に交互に繰り返す。このような配置により仮想接地型のメモリアレイが構成される。

【0246】ワード線 WL_n (WL00~WL0j) は、行方向 (x 方向) に配置され、x 方向に隣接するメモリセル 85 の制御ゲートとして共有される。

【0247】ワード線方向 (x 方向) に隣接する選択トランジスタ 70 のゲートには同一の信号が入力され、各ブロック毎に 2 本のゲート配線 ST00, ST01 が配置される。また、一本のグローバルデータ線 DL_n は、2 本の拡散層配線 D_n で共用される。

【0248】このような選択トランジスタの構成では、ワード線方向へ隣接する選択トランジスタのゲート信号が、各ブロック毎に 2 本しか無いため、選択トランジスタ部の面積増加を阻止でき、チップ面積を最小限に抑えられるという利点がある。また、1 本のグローバルデータ線が、2 本の拡散層配線で共用されるため、グローバルデータ線及びそれに接続するセンス回路の配置が容易となる、すなわちグローバルデータ線及びセンス回路のピッチ緩和ができるという利点がある。さらに、1 本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2 回の動作で動作が完了するという利点がある。

【0249】以下、さらに詳しい回路図と動作タイミングチャートを用いて、本実施の形態の半導体集積回路装置を説明する。図 47 は、実施の形態 7 のメモリセルアレイ、ブロックデコーダ、サブデコーダ等の配置を示した回路図である。図 47 においてメモリセルの構成は、第 3 ゲート 107a (AG) がスプリットゲートのチャネルを制御する補助ゲートとしても機能する実施の形態 2~4 のメモリセルを適用した場合を示している。また、図 48~50 は、本実施の形態の選択トランジスタ構成を有する半導体集積回路装置における、書込み・消去・読出し動作を説明するためのタイミングチャートである。なお、図 47 では、説明を簡単にするために、2 ブロック分のメモリセルアレイを示し、1 ブロック内のワード線 WL は 2 本、グローバルデータ線 DL は 2 本とする。また、サブデコーダ 60 はインバータ構成とするが、インバータ構成に限定する必要はない。

【0250】本実施の形態の半導体集積回路装置は、メモリセルアレイ 80、補助ゲートデコーダ 40、ブロックデコーダ 50、サブデコーダ 60、ゲートデコーダ 20、選択トランジスタ 70、およびセンス回路 30 を有する。ワードデコーダは、高速化を図るためにブロックデコーダ 50、サブデコーダ 60、ゲートデコーダ 20

というように階層化する。

【0251】ここでは説明を簡単にするために、サブデコーダ 60 はメモリセルアレイ 80 の左側だけに配置しているが、実際にはメモリセルアレイ 80 を分割し、メモリセルアレイ 80 を挟むように配置する。これは、メモリ容量が大きくなりワード線 WL の長さが延びることでワード線 WL の負荷が増加した際に、メモリセルアレイ 80 を分割してワード線 WL の長さを短縮し、ワード線 WL の負荷を低減するためである。これにより、高速化が実現できる。

【0252】また、サブデコーダ 60 をメモリセルアレイ 80 の両側に配置することで、2 つの効果がある。1 つは、ワード線 WL とサブデコーダ 60 (本図ではインバータ) の接続部において、ピッチ緩和ができる点である。サブデコーダ 60 は、必ずワード線 1 本毎に 1 つ必要となる。従って、サブデコーダ 60 をメモリセルアレイ 80 の片側に配置した場合には、ワード線 1 本分のピッチに合わせてワード線 WL とサブデコーダ 60 を接続する必要がある。これに対し、サブデコーダ 60 をメモリセルアレイ 80 の両側に配置した場合、例えば偶数ワード線はメモリセルアレイ 80 の右側に配置するサブデコーダ 60 に接続し、奇数ワード線はメモリセルアレイ 80 の左側に配置するサブデコーダ 60 に接続する、というように、サブデコーダ 60 に接続されるワード線が、メモリセルアレイ 80 の左右に分かれて 1 本置きにサブデコーダ 60 に接続されれば良い。従って、ワード線 WL とサブデコーダ 60 の接続部のレイアウト設計が容易となる。

【0253】さらに別の効果は、サブデコーダ 60 配置のピッチ緩和ができる点である。上述したように、サブデコーダ 60 は必ずワード線 1 本毎に 1 つ必要となる。従って、サブデコーダ 60 をメモリセルアレイ 80 の片側に配置した場合には、ワード線 1 本分の領域で 1 つのサブデコーダ 60 を配置する必要がある。これに対し、サブデコーダ 60 をメモリセルアレイ 80 の両側に配置した場合には、ワード線 2 本分の領域を使って 1 つのサブデコーダ 60 を配置すれば良く、サブデコーダ 60 のレイアウト設計も容易となる。

【0254】また、本実施の形態では、1 本のグローバルデータ線 DL (例えば DL0) を、2 本の拡散層配線 (例えば D01 と D02) で共用し、データ線のピッチ緩和をしている。このため、グローバルデータ線 DL 及びそれに接続するセンス回路 30 は、ワード線 WL 方向に並ぶメモリセル 2 つ分の領域を使って 1 本のグローバルデータ線を配線、あるいはセンス回路 30 を配置すれば良い。

【0255】また、本実施の形態では、ワード線 WL 方向へ並ぶ選択トランジスタ 70 のゲート信号は全て同一信号である。このため、1 ブロックにおける選択トランジスタ 70 のゲート信号数は 2 本だけで構成される。従

って、選択トランジスタ 70 部の面積増加を抑制し、チップ面積を最小限に抑えることができる。

【0256】また、以下に詳しく述べるが、本実施の形態では 1 本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2 回の動作で動作が完了する。

【0257】次に、書き込み動作を説明する。図 48 は、書き込み動作のタイミングを示したタイミングチャートである。

【0258】書き込みの対象となるメモリセルは、M01 と M03 と仮定する。まず、全信号の初期電圧は 0V とする。次に、t0 のタイミングでゲートデコーダ 20 の出力信号 G0 と G1 を 12V とし、全てのワード線 WL00 ~ WL11 を確実に 0V にする。

【0259】次に、t1 のタイミングで選択ブロックにおけるサブデコーダ 60 の PMOS 電源 BOP を 12V にする。

【0260】次に、t2 のタイミングでゲートデコーダ 20 の出力信号 G0 を 0V にする。これにより、選択ブロック内の選択ワード線 WL00 は 12V、非選択ワード線 WL01 は 0V、非選択ブロック内のワード線 WL10 と WL11 は 0V となる。

【0261】次に、t3 のタイミングで、補助ゲートデコーダ 40 の出力信号 AG01 を 2V にし、書き込みの対象となるメモリセルの補助ゲート（第 3 ゲート AG）に 2V を印加する。

【0262】次に、t4 のタイミングで、書き込みたいデータによって、センス回路 30 からグローバルデータ線 DL0 と DL1 に電圧を印加する。例えば、メモリセル M01 に書き込みデータを書込みたい場合にはグローバルデータ線 DL0 を 5V、データを書き込まない場合には 0V にする。また、メモリセル M03 に書き込みデータを書込みたい場合にはグローバルデータ線 DL1 を 5V、データを書き込まない場合には 0V にする。

【0263】次に、t5 のタイミングで選択トランジスタ 70 のゲート信号 ST00 を 8V にする。これにより、書き込みの対象となるメモリセル M01 と M03 のソース D01 と D03 には 0V が、ドレイン D02 と D04 には書き込みたいデータに応じた電圧が印加される。例えば、メモリセル M01 に書き込みデータを書込みたい場合にはドレイン D02 に 5V、データを書き込まない場合には 0V が印加される。また、メモリセル M03 に書き込みデータを書込みたい場合にはドレイン D04 に 5V、データを書き込まない場合には 0V が印加される。この状態で、書き込みの対象となるメモリセル M01 と M03 に書き込み電圧が印加され、任意のデータが書込まれる。

【0264】書き込み動作を終了する際には、まず t6 のタイミングで選択トランジスタ 70 のゲート信号 ST0

0 を 0V にする。これにより、書き込みの対象となるメモリセル M01 と M03 のドレイン D02 と D04 は 0V となる。

【0265】次に、t7 のタイミングでグローバルデータ線 DL0 と DL1 を 0V にする。

【0266】次に、t8 のタイミングで補助ゲートデコーダ 40 の出力信号 AG01 を 0V にし、書き込みの対象となるメモリセルの補助ゲートを 0V にする。

【0267】次に、t9 のタイミングでゲートデコーダ 20 の出力信号 G0 を 12V にする。これにより、選択ブロック内の選択ワード線 WL00 は 0V となる。

【0268】次に、t10 のタイミングで、選択ブロックにおけるサブデコーダ 60 の PMOS 電源 BOP を 0V にする。

【0269】最後に、t11 のタイミングでゲートデコーダ 20 の出力信号 G0 と G1 を 0V にして、書き込み動作を終了する。

【0270】本実施の形態の書き込み動作において、メモリセル M01 と M03 に対して書き込みを行なう際には、選択トランジスタ 70 のゲート信号 ST00 が 8V となる t5 ~ t6 の間に書き込み電圧が印加される。この選択トランジスタ 70 のゲート信号 ST00 は、メモリセルのドレイン電圧を制御するための信号である。従って、本実施の形態では、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のうち、ドレイン電圧の印加時間が最も短くなることから、ドレインディスターブを緩和する際に最適な方式と言える。しかし、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のタイミングに関しては、既に実施の形態 1 ~ 6 で説明したように、様々なバリエーションが考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0271】また、メモリセル M00 と M02 に対しても書き込みを行ない、1 ワード線上のメモリセル全てを書込む場合には、上記した書き込み動作を M00 と M02 に対して同じように繰返せば良い。このように、本方式では 1 本のワード線上に存在する全てのメモリセルに対して書き込みを行なうためには、2 回の動作で完了となる。従って、書き込み動作を 2 回繰返すことで、書き込み単位 = 消去単位 = 読出し単位を意識した、セクタ（1 ワード線）動作が可能となる。また、書き込み動作を繰返さず、書き込み単位を 1/2 セクタ（1/2 ワード線）としたページ動作も可能である。

【0272】なお、本説明で使用した電圧値は一例であり、これに限定する必要はない。

【0273】次に、消去動作を説明する。図 49 は、消去動作のタイミングを示したタイミングチャートである。

【0274】消去の対象となるメモリセルは、ワード線 WL00 上に存在する M01 ~ M03 と仮定する。ま

ず、初期電圧は全て0Vとする。

【0275】次に、 t_0 のタイミングでゲートデコーダ20の出力信号G0とG1を-13.5Vとし、全てのワード線WL00~WL11を確実に0Vにする。

【0276】次に t_1 のタイミングで選択トランジスタ70のゲート信号ST00とST01を3.3Vとし、消去の対象となるメモリセルM0~M03のドレイン/ソースD00~D04を確実に0Vにする。

【0277】次に、 t_2 のタイミングで、選択ブロックにおけるサブデコーダ60のNMOS電源B0Nを-13.5Vにする。

【0278】次に、 t_3 のタイミングでゲートデコーダ20の出力信号G0を3.3Vにする。これにより、選択ブロック内の選択ワード線WL00は-13.5V、非選択ワード線WL01は0V、非選択ブロック内のワード線WL10とWL11は0Vとなる。

【0279】次に、 t_4 のタイミングで補助ゲートデコーダ40の出力信号AG00とG01を3.3Vにし、消去の対象となるメモリセルの補助ゲートに3.3Vを印加する。この状態で、消去の対象となるメモリセルM01~M03に消去電圧が印加され、データが消去される。

【0280】消去動作を終了する際には、まず t_5 のタイミングで補助ゲートデコーダ40の出力信号AG00とAG01を0Vにし、消去の対象となるメモリセルの補助ゲートを0Vにする。

【0281】次に、 t_6 のタイミングでゲートデコーダ20の出力信号G0を-13.5Vにする。これにより、ワード線WL00~WL11は全て0Vとなる。

【0282】次に、 t_7 のタイミングで、選択ブロックにおけるサブデコーダ60のNMOS電源B0Nを0Vにする。

【0283】次に t_8 のタイミングで選択トランジスタ70のゲート信号ST00とST01を0Vにする。

【0284】最後に t_9 のタイミングでゲートデコーダ20の出力信号G0とG1を0Vにして、消去動作を終了する。

【0285】本実施の形態において、メモリセルM0~M03に対して消去を行なう際には、補助ゲート信号AG00とAG01が3.3Vとなる t_4 ~ t_5 の間に消去電圧が印加される。本方式では、選択メモリセルに印加するワード線電圧と補助ゲート電圧のうち、補助ゲート電圧の印加時間の方が短くなることから、本方式は、補助ゲートによる、非選択ワード線に接続されたメモリセルに対するディスタープを緩和する際に最適な方式と言える。

【0286】また、本実施の形態では、補助ゲート信号AG00とAG01が3.3Vとなる t_4 ~ t_5 の間に消去電圧が印加されるため、消去時間は補助ゲート信号の電圧立上げ、立下げ時間で決まる。この補助ゲート信

号の電圧切換え幅は3.3Vと小さいため、立上げ、立下げ時間が速い。従って、本方式は消去時間の制御性に優れた方式と言える。しかし、選択メモリセルに印加するワード線電圧と補助ゲート電圧のタイミングに関しては、既に実施の形態1~6で説明したように、他のバリエーションも考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0287】また、本方式において、メモリセルM01~M03に対して消去を行なう際には、選択トランジスタのゲート信号ST00とST01、及び補助ゲート信号AG00とAG01を、各々同時に動作させる。このため、1本のワード線上に存在する全てのメモリセルに対して消去を行なうためには、1回の動作で完了し、書込み単位=消去単位=読出し単位を意識した、セクタ(1ワード線)動作が可能となる。

【0288】なお、本説明で使用した電圧値は一例であり、これに限定する必要はない。

【0289】次に、読出し動作を説明する。図50は、読出し動作のタイミングを示したタイミングチャートである。

【0290】読出しの対象となるメモリセルは、M01とM03と仮定する。まず、全信号の初期電圧は0Vとする。

【0291】次に、 t_0 のタイミングでゲートデコーダ20の出力信号G0とG1を3.3Vとし、全てのワード線WL00~WL11を確実に0Vにする。

【0292】次に、 t_1 のタイミングで選択ブロックにおけるサブデコーダ60のPMOS電源B0Pを3.3Vにする。

【0293】次に、 t_2 のタイミングでゲートデコーダ20の出力信号G0を0Vにする。これにより、選択ブロック内の選択ワード線WL00は3.3V、非選択ワード線WL01は0V、非選択ブロック内のワード線WL10とWL11は0Vとなる。

【0294】次に、 t_3 のタイミングで、補助ゲートデコーダ40の出力信号AG01を3.3Vにし、読出しの対象となるメモリセルの補助ゲートに3.3Vを印加する。

【0295】次に、 t_4 のタイミングで、センス回路30からグローバルデータ線DL0とDL1に1Vを印加する。

【0296】次に、 t_5 のタイミングで選択トランジスタ70のゲート信号ST00を3.3Vにする。この状態で、読出しの対象となるメモリセルM01とM03に読出し電圧が印加され、データが読出される。すなわち、この時に読出しの対象となるメモリセルM01のしきい値が低い場合には、メモリセルM01がオン状態となり電流が流れる。その結果、メモリセルM01のドレイン電圧D02と、これに接続されたグローバルデータ線DL0が0Vとなる。また、読出しの対象となるメモ

リセルM01のしきい値が高い場合には、メモリセルM01はオフ状態となり電流は流れない。このため、メモリセルM01のドレイン電圧D02と、これに接続されたグローバルデータ線DL0は1Vのまま保持される。同様に、読出しの対象となるメモリセルM03においても、メモリセルのしきい値が低い場合には、メモリセルM03がオン状態となり電流が流れる。その結果、メモリセルM03のドレイン電圧D04と、これに接続されたグローバルデータ線DL1が0Vとなる。また、読出しの対象となるメモリセルM03のしきい値が高い場合には、メモリセルM03はオフ状態となり電流は流れない。このため、メモリセルM03のドレイン電圧D04と、これに接続されたグローバルデータ線DL1は1Vのまま保持される。このグローバルデータ線DLの電圧変化、あるいは電流変化をセンス回路30によって判別することで、読出しが行なわれる。

【0297】読出し動作を終了する際には、まずt6のタイミングで選択トランジスタ70のゲート信号ST00を0Vにする。これにより、読出しの対象となるメモリセルM01とM03のドレインD02とD04は、センス回路30から切離される。

【0298】次に、t7のタイミングでグローバルデータ線DL0とDL1を0Vにする。

【0299】次に、t8のタイミングで補助ゲートデコーダ40の出力信号AG01を0Vにし、読出しの対象となるメモリセルの補助ゲートを0Vにする。

【0300】次に、t9のタイミングでゲートデコーダ20の出力信号G0を3.3Vにする。これにより、選択ブロック内の選択ワード線WL00は0Vとなる。

【0301】次に、t10のタイミングで、選択ブロックにおけるサブデコーダ60のPMOS電源BOPを0Vにする。

【0302】最後に、t11のタイミングでゲートデコーダ20の出力信号G0とG1を0Vにして、読出し動作を終了する。

【0303】本実施の形態において、メモリセルM01とM03に対して読出しを行なう際には、選択トランジスタ70のゲート信号ST00が3.3Vとなるt5～t6の間に読出し電圧が印加される。この選択トランジスタ70のゲート信号ST00は、メモリセルのドレイン電圧を制御するための信号である。従って、本方式では、選択メモリセルに印加するワード線WL電圧、補助ゲート電圧、ドレイン電圧のうち、ドレイン電圧の印加時間が最も短くなることから、ドレインディスタブを緩和する際に最適な方式と言える。しかし、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のタイミングに関しては、既に実施の形態1～6で説明したように、様々なバリエーションが考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0304】また、メモリセルM00とM02に対しても読出しを行ない、1ワード線WL上のメモリセル全てを読出す場合には、上記した読出し動作をM00とM02に対して同じように繰返せば良い。このように、本方式では1本のワード線上に存在する全てのメモリセルに対して読出しを行なうためには、2回の動作で完了となる。従って、読出し動作を2回繰返すことで、書込み単位＝消去単位＝読出し単位を意識した、セクタ（1ワード線）動作が可能となる。また、読出し動作を繰返さず、読出し単位を1/2セクタ（1/2ワード線）とした、ページ動作も可能である。なお、本説明で使用した電圧値は仮一例であり、これに限定する必要はない。

【0305】なお、図51を用いて、補助ゲート付き仮想接地型メモリセルアレイの利点を説明する。図51に示す半導体集積回路装置は、ワード線方向へ隣接するメモリセルのドレイン／ソースを共用した、仮想接地型メモリセルアレイを有し、拡散層配線の電圧を、ドレイン電圧VDnとソース電圧SSとに切り換えるための選択トランジスタを有する。拡散層配線は、選択トランジスタを介してグローバルデータ線とソース線に接続され、1つのメモリセルのドレインにドレイン電圧が印加された際、ワード線方向へ隣接する他のメモリセルのソースに、ドレイン電圧が印加されないように制御する補助ゲートを有する。補助ゲートは、ワード線方向へ隣接するメモリセル1つ置きに、選択トランジスタで囲まれたブロックの上下で結束する。

【0306】このような半導体集積回路装置では、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作が完了することができる。

【0307】この半導体集積回路装置の動作を以下に説明する。すなわち、仮想接地型メモリセルアレイでは、ワード線方向へ隣接するメモリセルのドレインとソースを共用しているため、書込みや読出し動作のようにドレインとソースに異電圧を印加して動作させる場合、スイッチ（選択トランジスタ）によって、ドレイン電圧VDとソース電圧SSとに切り換える必要がある。従って、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、最低2回の動作が必要となる。仮に、補助ゲート（AG00とAG01）が無いと仮定し、例えばD02にドレイン電圧を印加した場合、D02の左にあるメモリセルのドレインにドレイン電圧が印加されると同時に、右にあるメモリセルのソースにもドレイン電圧が印加される。このソースにドレイン電圧を印加されたメモリセルを非選択状態にするためには、ドレイン側（D03）にも同電圧を印加する必要がある。従って、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、4回以上の動作が必要となり高速化に不向きとなる。ところが、この半

導体集積回路装置では補助ゲート（AG00とAG01）を有する。補助ゲート（AG00とAG01）は、例えばD02にドレイン電圧を印加した場合、D02の左にあるセルにのみドレイン電圧が印加されるよう、スイッチのような働きをする。すなわち、D02にドレイン電圧を印加した際、D02の右にあるセルの補助ゲート（AG00）をオフにして、D02の右にあるセルにはドレイン電圧が印加されないようにする。これにより、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作が完了する。

【0308】このような補助ゲートの機構は、本実施の形態の半導体集積回路装置にも適用されているものである。

【0309】また、図52を用いて選択トランジスタの必要性について説明する。図52（a）には選択トランジスタを設けた場合を示し、図52（b）には選択トランジスタを設けない場合の回路図を示す。図52（a）に示す半導体集積回路装置では、メモリセルのドレイン／ソース（D00～D11）は拡散層配線であり、同図（a）では、選択ブロックの拡散層配線と非選択ブロックの拡散層配線とを切離すための選択トランジスタを有する。このように選択トランジスタを有する場合（同図（a））には、拡散層配線の負荷を低減でき高速化が可能となり、非選択メモリセル（非選択ワード線に有るメモリセル）であるにも関わらず、ドレイン電圧が印加されるメモリセル数が少なくなるため、ドレインディスタープを低減できる効果がある。このように、本実施の形態（その他の実施の形態においても）では選択トランジスタを配置し、前記のような効果を得ている。なお、ここでは、ワード線方向へ隣接するメモリセルのドレイン／ソースを共用した仮想接地型メモリセルアレイで説明したが、他のアレイでも同じことが言えることはもちろんである。

【0310】さらに、本実施の形態では、グローバルワード線のピッチ緩和が実現できるが、これによりセンス回路のピッチ緩和が実現できることは前記した通りである。この点を図53および図54を用いて説明する。

【0311】すなわち、図53に示す半導体集積回路装置では、グローバルデータ線DLに接続するセンス回路30は、メモリセルアレイの片側だけではなく、グローバルデータ線1本置きにメモリセルアレイの上下へ交互に配置できる。これによりグローバルデータ線DLに接続するセンス回路30は、メモリセル4ビット分の領域で配置が可能となる。

【0312】また、図54に示すように、半導体集積回路装置では、グローバルデータ線DLに接続するセンス回路30の間にスイッチMOSトランジスタYSを設け、1つのセンス回路を2本のグローバルデータ線で共用することができる。これにより、グローバルデータ線

DLに接続するセンス回路30は、メモリセル4ビット分の領域で配置が可能となる。

【0313】また、前記図54および図53の方式の組合せにより、グローバルデータ線DLに接続するセンス回路30は、メモリセル8ビット分の領域で配置が可能となる。

【0314】（実施の形態8）図55は、本発明の実施の形態8である半導体集積回路装置の一例を概念的に示した回路図である。

【0315】本実施の形態の半導体集積回路装置は、選択トランジスタの配置および動作の点で実施の形態7と相違し、メモリセルについては実施の形態7と同様である。従って、メモリセル85、メモリセルアレイ80、メモリブロック、拡散層配線D00～D04、ワード線WL_nについては実施の形態7と同様であるため、説明を省略する。選択トランジスタ（選択MOS）70が各拡散層配線D01～D40の上下に1つずつ配置され、選択トランジスタ70のドレインは拡散層配線D11～D04に接続されることは実施の形態7と同様である。しかし、選択トランジスタ70のソースが拡散層配線D_n（D01～D04）の上端でグローバルデータ線DL_nに接続された場合には、下端の選択トランジスタ70のソースはソース線SSに接続され、拡散層配線D_n（D01～D04）の上端でソース線SSに接続された場合には、下端でグローバルデータ線DL_nに接続され、これを実施の形態7のように拡散層配線D_nの1本毎に交互に繰り返すのではなく、ブロック内で統一する点が実施の形態7と相違する。

【0316】ワード線方向（x方向）に隣接する選択トランジスタ70のゲートには拡散層配線1本おきに同一の信号が入力され隣接する拡散層配線間では異なる信号を印加する。各ブロック毎に4本のゲート配線ST00～ST03が配置される。また、一本のグローバルデータ線DL_nは、2本の拡散層配線D_nで共用される。

【0317】このような選択トランジスタの構成では、選択トランジスタのゲート信号を各ブロック毎4本で構成することにより、ソース電圧印加のタイミングとドレイン電圧印加のタイミングを任意に設定できる。すなわち、ソース電圧が確実に0Vとなってからドレイン電圧を印加することができるため、安定した動作が可能となる。また、1本のグローバルデータ線が、2本の拡散層配線で共用されるため、グローバルデータ線及びそれに接続するセンス回路の配置が容易となる（ピッチ緩和ができる）。さらに、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作が完了することができる。

【0318】以下、さらに詳しい回路図と動作タイミングチャートを用いて、本実施の形態の半導体集積回路装置を説明する。図56は、実施の形態8のメモリセルア

レイ、ブロックデコーダ、サブデコーダ等の配置を示した回路図である。図56においてメモリセルの構成は、第3ゲート107a (AG) が補助ゲートとしても機能する実施の形態2~4のメモリセルを適用した場合を示している。また、図57~59は、本実施の形態の選択トランジスタ構成を有する半導体集積回路装置における、書込み・消去・読出し動作を説明するためのタイミングチャートである。なお、図56では、説明を簡単にするために、2ブロック分のメモリセルアレイ80を示し、1ブロック内のワード線WLは2本、グローバルデータ線DLは2本とする。また、サブデコーダ60はインバータ構成とするが、インバータ構成に限定する必要はない。

【0319】図56に示す本実施の形態の半導体集積回路装置において、メモリセルアレイ80、補助ゲートデコーダ40、ブロックデコーダ50、サブデコーダ60、ゲートデコーダ20、選択トランジスタ70、センス回路30、ワードデコーダについては実施の形態7と同様である。また、サブデコーダ60がメモリセルアレイ80を挟むように配置できること、およびそれによるワード線およびサブデコーダのピッチ緩和が可能となる点も実施の形態7と同様である。さらに、1本のグローバルデータ線DLを2本の拡散層配線で共用し、データ線のピッチ緩和が可能となる点も実施の形態7と同様である。なお、図53、54で説明したような方法により、グローバルデータ線DLに接続するセンス回路30は、更にピッチ緩和をすることも可能である。

【0320】本実施の形態における各ブロックの配置は、X軸（ワード線形成方向）に対して対称に配置する。これにより、1本のソース線SSを2ブロック間で共用でき、メモリセルアレイ80の形成面積を低減できる。

【0321】また、本実施の形態では、ワード線方向に並ぶ選択トランジスタ70のゲート信号は、拡散層配線1本置きに異なる信号とし、各ブロック毎4本で構成する。このため、ソース電圧印加のタイミングとドレイン電圧印加のタイミングを任意に設定できる。従って、ソース電圧が確実に0Vとなってからドレイン電圧を印加することができるため、安定した動作が可能となる。また、動作説明の所で詳しく述べるが、本方式では1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイ80で最低限必要となる、2回の動作で動作が完了する。

【0322】書込み動作のタイミングを図57に示し、書込み動作を説明する。書込みの対象となるメモリセルは、M01とM03と仮定する。まず、全信号の初期電圧は0Vとする。

【0323】次に、t0のタイミングでゲートデコーダ20の出力信号G0とG1を12Vとし、全てのワード線WL00~WL11を確実に0Vにする。

【0324】次に、t1のタイミングで、選択ブロックにおけるサブデコーダ60のPMOS電源BOPを12Vにする。

【0325】次に、t2のタイミングでゲートデコーダ20の出力信号G0を0Vにする。これにより、選択ブロック内の選択ワード線WL00は12V、非選択ワード線WL01は0V、非選択ブロック内のワード線WL10とWL11は0Vとなる。

【0326】次に、t3のタイミングで補助ゲートデコーダ40の出力信号AG01を2Vにし、書込みの対象となるメモリセルの補助ゲートに2Vを印加する。

【0327】次に、t4のタイミングで書込みたいデータによって、センス回路30からグローバルデータ線DL0とDL1に電圧を印加する。例えば、メモリセルM01に書込みデータを書込みたい場合にはグローバルデータ線DL0を5V、データを書き込まない場合には0Vにする。また、メモリセルM03に書込みデータを書込みたい場合にはグローバルデータ線DL1を5V、データを書き込まない場合には0Vにする。

【0328】次に、t5のタイミングで選択トランジスタ70のゲート信号ST02を8Vにし、書込みの対象となるメモリセルM01とM03のソースD01とD03を確実に0Vにする。

【0329】次に、t6のタイミングで選択トランジスタ70のゲート信号ST00を8Vにする。これにより、書込みの対象となるメモリセルM01とM03のドレインD02とD04には、書込みたいデータに応じた電圧が印加される。例えば、メモリセルM01に書込みデータを書込みたい場合にはドレインD02に5V、データを書き込まない場合には0Vが印加される。また、メモリセルM03に書込みデータを書込みたい場合にはドレインD04に5V、データを書き込まない場合には0Vが印加される。この状態で、書込みの対象となるメモリセルM01とM03に書込み電圧が印加され、任意のデータが書込まれる。

【0330】書込み動作を終了する際には、まずt7のタイミングで選択トランジスタ70のゲート信号ST00を0Vにする。これにより、書込みの対象となるメモリセルM01とM03のドレインD02とD04は0Vとなる。

【0331】次に、t8のタイミングで選択トランジスタ70のゲート信号ST02を0Vにする。

【0332】次に、t9のタイミングでグローバルデータ線DL0とDL1を0Vにする。

【0333】次に、t10のタイミングで補助ゲートデコーダ40の出力信号AG01を0Vにし、書込みの対象となるメモリセルの補助ゲートを0Vにする。

【0334】次に、t11のタイミングでゲートデコーダ20の出力信号G0を12Vにする。これにより、選択ブロック内の選択ワード線WL00は0Vとなる。

【0335】次に、 t_{12} のタイミングで、選択ブロックにおけるサブデコーダ60のPMOS電源BOPを0Vにする。

【0336】最後に、 t_{13} のタイミングでゲートデコーダ20の出力信号G0とG1を0Vにして、書込み動作を終了する。

【0337】本実施の形態では、メモリセルM01とM03に対して書込みを行なう際には、選択トランジスタ70のゲート信号ST02を立上げてからST00を立上げるため、メモリセルM01とM03のソース電圧が確実に0Vとなってからドレイン電圧が印加される。このため、安定した動作が可能となる。

【0338】また、本実施の形態では、メモリセルM01とM03に対して書込みを行なう際には、選択トランジスタ70のゲート信号ST00が8Vとなる $t_6 \sim t_7$ の間に書込み電圧が印加される。この選択トランジスタ70のゲート信号ST00は、メモリセルのドレイン電圧を制御するための信号である。従って、本方式では、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のうち、ドレイン電圧の印加時間が最も短くなることから、ドレインディスタブを緩和する際に最適な方式と言える。しかし、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のタイミングに関しては、既に実施の形態1～6で説明したように、様々なバリエーションが考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0339】また、メモリセルM00とM02に対しても書込みを行ない、1ワード線上のメモリセル全てを書込む場合には、上記した書込み動作をM00とM02に対して同じように繰返せば良い。このように、本実施の形態では1本のワード線WL上に存在する全てのメモリセルに対して書込みを行なうためには、2回の動作で完了となる。従って、書込み動作を2回繰返すことで、書込み単位＝消去単位＝読出し単位を意識した、セクタ（1ワード線）動作が可能となる。また、書込み動作を繰返さず、書込み単位を1/2セクタ（1/2ワード線）とした、ページ動作も可能である。

【0340】なお、本実施の形態で使用した電圧値は一例であり、これに限定する必要はない。

【0341】次に、消去動作のタイミングを図58に示し、消去動作を説明する。消去の対象となるメモリセルは、ワード線WL00上に存在するM01～M03と仮定する。まず、初期電圧は全て0Vとする。

【0342】次に、 t_0 のタイミングでゲートデコーダ20の出力信号G0とG1を-13.5Vとし、全てのワード線WL00～WL11を確実に0Vにする。

【0343】次に t_1 のタイミングで選択トランジスタ70のゲート信号ST00とST01を3.3Vとし、消去の対象となるメモリセルM01～M03のドレイン

／ソースD00～D04を確実に0Vにする。

【0344】次に、 t_2 のタイミングで、選択ブロックにおけるサブデコーダ60のNMOS電源BONを-13.5Vにする。

【0345】次に、 t_3 のタイミングでゲートデコーダ20の出力信号G0を3.3Vにする。これにより、選択ブロック内の選択ワード線WL00は-13.5V、非選択ワード線WL01は0V、非選択ブロック内のワード線WL10とWL11は0Vとなる。

【0346】次に、 t_4 のタイミングで補助ゲートデコーダ40の出力信号AG00とAG01を3.3Vにし、消去の対象となるメモリセルの補助ゲートに3.3Vを印加する。この状態で、消去の対象となるメモリセルM0～M03に消去電圧が印加され、データが消去される。

【0347】消去動作を終了する際には、まず t_5 のタイミングで補助ゲートデコーダ40の出力信号AG00とAG01を0Vにし、消去の対象となるメモリセルの補助ゲートを0Vにする。

【0348】次に、 t_6 のタイミングでゲートデコーダ20の出力信号G0を-13.5Vにする。これにより、ワード線WL00～WL11は全て0Vとなる。

【0349】次に、 t_7 のタイミングで、選択ブロックにおけるサブデコーダ60のNMOS電源BONを0Vにする。

【0350】次に、 t_8 のタイミングで選択トランジスタ70のゲート信号ST00とST01を0Vにする。

【0351】最後に t_9 のタイミングでゲートデコーダ20の出力信号G0とG1を0Vにして、消去動作を終了する。

【0352】本実施の形態において、メモリセルM01～M03に対して消去を行なう際には、補助ゲート信号AG00とAG01が3.3Vとなる $t_4 \sim t_5$ の間に消去電圧が印加される。本方式では、選択メモリセルに印加するワード線WL電圧と補助ゲート電圧のうち、補助ゲート電圧の印加時間の方が短くなることから、本方式は、補助ゲートによる、非選択ワード線に接続されたメモリセルに対するディスタブを緩和する際に最適な方式と言える。

【0353】また、本実施の形態では、補助ゲート信号AG00とAG01が3.3Vとなる $t_4 \sim t_5$ の間に消去電圧が印加されるため、消去時間は補助ゲート信号の電圧立上げ、立下げ時間で決まる。この補助ゲート信号の電圧切換え幅は3.3Vと小さいため、立上げ、立下げ時間が速い。従って、本方式は消去時間の制御性に優れた方式と言える。しかし、選択メモリセルに印加するワード線WL電圧と補助ゲート電圧のタイミングに関しては、実施の形態1～6で説明したように、他のバリエーションも考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0354】また、本実施の形態において、メモリセルM0～M03に対して消去を行なう際には、選択ブロック内における選択トランジスタ70のゲート信号ST00～ST03、及び補助ゲート信号AG00～AG01を、各々同時に動作させる。このため、1本のワード線上に存在する全てのメモリセルに対して消去を行なうためには、1回の動作で完了し、書込み単位＝消去単位＝読出し単位を意識した、セクタ（1ワード線）動作が可能となる。

【0355】なお、本説明で使用した電圧値は一例であり、これに限定する必要はない。

【0356】次に、読出し動作のタイミングを図59に示し、読出し動作を説明する。読出しの対象となるメモリセルは、M01とM03と仮定する。

【0357】まず、全信号の初期電圧は0Vとする。次に、t0のタイミングでゲートデコーダ20の出力信号G0とG1を3.3Vとし、全てのワード線WL00～WL11を確実に0Vにする。

【0358】次に、t1のタイミングで、選択ブロックにおけるサブデコーダ60のPMOS電源B0Pを3.3Vにする。

【0359】次に、t2のタイミングでゲートデコーダ20の出力信号G0を0Vにする。これにより、選択ブロック内の選択ワード線WL00は3.3V、非選択ワード線WL01は0V、非選択ブロック内のワード線WL10とWL11は0Vとなる。

【0360】次に、t3のタイミングで補助ゲートデコーダ40の出力信号AG01を3.3Vにし、読出しの対象となるメモリセルの補助ゲートに3.3Vを印加する。

【0361】次に、t4のタイミングで、センス回路30からグローバルデータ線DL0とDL1に1Vを印加する。

【0362】次に、t5のタイミングで選択トランジスタ70のゲート信号ST02を3.3Vにし、読出しの対象となるメモリセルM01とM03のソースD01とD03を確実に0Vにする。

【0363】次に、t6のタイミングで選択トランジスタ70のゲート信号ST00を3.3Vにする。この状態で、読出しの対象となるメモリセルM01とM03に読出し電圧が印加され、データが読出される。すなわち、この時に読出しの対象となるメモリセルM01のしきい値が低い場合には、メモリセルM01がオン状態となり、電流が流れる。その結果、メモリセルM01のドレインD02と、これに接続されたグローバルデータ線DL0が0Vとなる。また、読出しの対象となるメモリセルM01のしきい値が高い場合には、メモリセルM01がオフ状態となり電流は流れない。このため、メモリセルM01のD02と、これに接続されたグローバルデータ線DL0は1Vのまま保持される。同様に、読出し

の対象となるメモリセルM03においても、メモリセルのしきい値が低い場合には、メモリセルM03がオン状態となり、電流が流れる。その結果、メモリセルM03のドレインD04と、これに接続されたグローバルデータ線DL1が0Vと一なる。また、読出しの対象となるメモリセルM03のしきい値が高い場合には、メモリセルM03がオフ状態となり電流は流れない、このため、メモリセルM03のD04と、これに接続されたグローバルデータ線DL1は1Vのまま保持される。このグローバルデータ線DLの電圧変化、あるいは電流変化をセンス回路30によって判別することで、読出しが行なわれる。

【0364】読出し動作を終了する際には、まずt7のタイミングで選択トランジスタ70のゲート信号ST00を0Vにする。これにより、読出しの対象となるメモリセルM01とM03のドレインD02とD04は、センス回路30から切離される。

【0365】次に、t8のタイミングで選択トランジスタ70のゲート信号ST02を0Vにする。

【0366】次に、t9のタイミングでグローバルデータ線DL0とDL1を0Vにする。

【0367】次に、t10のタイミングで補助ゲートデコーダ40の出力信号AG01を0Vにし、読出しの対象となるメモリセルの補助ゲートを0Vにする。

【0368】次に、t11のタイミングでゲートデコーダ20の出力信号G0を3.3Vにする。これにより、選択ブロック内の選択ワード線WL00は0Vとなる。

【0369】次に、t12のタイミングで、選択ブロックにおけるサブデコーダ60のPMOS電源B0Pを0Vにする。

【0370】最後に、t13のタイミングでゲートデコーダ20の出力信号G0とG1を0Vにして、読出し動作を終了する。

【0371】本実施の形態では、メモリセルM01とM03に対して読出しを行なう際には、選択トランジスタ70のゲート信号ST02を立上げてからST00を立上げるため、メモリセルM01とM03のソース電圧が確実に0Vとなってからドレイン電圧が印加される。このため、安定した動作が可能となる。

【0372】また、本実施の形態では、メモリセルM01とM03に対して読出しを行なう際には、選択トランジスタ70のゲート信号ST00が3.3Vとなるt6～t7の間に読出し電圧が印加される。この選択トランジスタ70のゲート信号ST00は、メモリセルのドレイン電圧を制御するための信号である。従って、本方式では、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン電圧のうち、ドレイン電圧の印加時間が最も短くなることから、ドレインディスタ urb を緩和する際に最適な方式と言える。しかし、選択メモリセルに印加するワード線電圧、補助ゲート電圧、ドレイン

電圧のタイミングに関しては、実施の形態1～6で説明したように、様々なバリエーションが考えられ、それぞれに特徴がある。従って、本方式に限定する必要はない。

【0373】また、メモリセルM00とM02に対しては読出しを行ない、1ワード線上のメモリセル全てを読出す場合には、上記した読出し動作をM00とM02に対して同じように繰返せば良い。

【0374】このように、本実施の形態では1本のワード線上に存在する全てのメモリセルに対して読出しを行なうためには、2回の動作で完了となる。従って、読出し動作を2回繰返すことで、書込み単位＝消去単位＝読出し単位を意識した、セクタ(1ワード線)動作が可能となる。また、読出し動作を繰返さず、読出し単位を1/2セクタ(1/2ワード線)とした、ページ動作も可能である。なお、本説明で使用した電圧値は一例であり、これに限定する必要はない。

【0375】(実施の形態9)図60は、本実施の形態9の半導体集積回路装置を示した回路図である。本実施の形態では、デコーダ配置の一例を説明する。なお、メモリセルアレイ80、補助ゲートデコーダ40、ブロックデコーダ50、サブデコーダ60、ゲートデコーダ20、選択トランジスタ70、およびセンス回路30については実施の形態7、8と同様である。これらの説明は省略する。

【0376】本実施の形態では、ブロックデコーダ50と補助ゲートデコーダ40は、メモリセルアレイ80の片側に1つずつ配置する。1ブロック内の補助ゲート信号は2本のため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、2回の動作で動作を完了できる。

【0377】説明を簡単にするため、図60において、2ブロック分の回路図を示す。本実施の形態の半導体集積回路装置では、1ブロック内のメモリセルアレイ80を2分割し、メモリセルアレイを挟むようにサブデコーダ60を配置する。メモリセルアレイ80の分割数は、2分割に限定する必要はないことはもちろんである。サブデコーダ60は、メモリセルアレイの両側に配置し、補助ゲートデコーダ40、ブロックデコーダ50、サブデコーダ60は、ワード線の延長方向へ配置する。

【0378】1つのブロック内の補助ゲート信号は、AG00とAG01あるいはAG10とAG11の2本である。また、1ブロック内の選択トランジスタ70のゲート信号は、ST00とST01あるいはST10とST11の2本である。

【0379】ブロックデコーダ50の出力信号となる、サブデコーダのPMOS電源信号B0PあるいはB1PとNMOS電源信号B0NあるいはB1Nは、ブロックを選択するためのアドレス選択信号ABDiを入力信号として発生する。

【0380】選択トランジスタ70のゲート信号ST00とST01あるいはST10とST11は、ブロックを選択するためのアドレス選択信号ABDiと、ブロックを更に2分割するためのアドレス選択信号ABDSTあるいはABDSBを入力信号として発生する。

【0381】補助ゲート信号AG00とAG01あるいはAG10とAG11は、ブロック選択信号BD0あるいはBD1と、ブロックを更に2分割するためのアドレス選択信号ABDSTあるいはABDSBを入力信号として発生する。

【0382】補助ゲートデコーダ40の入力信号には、ブロックデコーダ50内で発生するブロック選択信号BD0あるいはBD1を使用し、補助ゲートデコーダ40はブロックデコーダ50と隣接して配置される。

【0383】補助ゲートデコーダ40とブロックデコーダ50は、メモリセルアレイの左右どちらか一方(図60では左側)に配置するが、補助ゲートデコーダ40とブロックデコーダ50の位置関係は、逆にしても良い。

【0384】なお、後述するように、補助ゲートデコーダ40とブロックデコーダ50の選択方法には、様々なバリエーションがあるため、各信号の流れはこれに限定する必要はない。

【0385】本実施の形態によれば、1ブロック内のメモリセルアレイ80を2分割し、メモリセルアレイ80を挟むようにサブデコーダ60を配置することで、ワード線の長さを短くでき、ワード線の負荷が低減されるため、半導体集積回路装置の高速化が図れる。

【0386】また、サブデコーダ60をメモリセルアレイ80の両側に配置することで、サブデコーダ60に接続されるメモリセルアレイ80内のワード線は、メモリセルアレイ80の左右に分けて1本置きに取出せば良い。このため、ワード線とサブデコーダ60の接続部分のレイアウト設計が容易となる(ワード線のピッチ緩和ができる)。

【0387】また、サブデコーダ60をメモリセルアレイ80の両側に配置することで、ワード線2本分の領域でサブデコーダ素子を配置でき、サブデコーダ60のレイアウト設計が容易となる。

【0388】また、補助ゲートデコーダ40とブロックデコーダ50は、1ブロックに対して1つずつしかないので、デコーダの面積を最小限に抑えられる。

【0389】また、補助ゲートデコーダ40とブロックデコーダ50が隣接しているため、補助ゲートデコーダ40の入力となるブロックデコーダ50の出力信号BD0とBD1を遠方まで引回さずに済む。

【0390】また、1ブロック内の補助ゲート信号が2本あるため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる2回の動作で動作を完了できる。

【0391】なお、デコーダの配置は、前記したもののほか、図61または図62に示す構成もある。

【0392】図61に示す半導体集積回路装置は、ブロックデコーダ50と補助ゲートデコーダ40は、メモリセルアレイ80を挟んで反対側に1つずつ配置するものであり、その他の構成は図60に示す半導体集積回路装置と同様である。

【0393】このような半導体集積回路装置によれば、前記した効果に加えて以下の効果がある。すなわち、補助ゲートデコーダ40の出力信号(AG00~AG11)はメモリセルアレイ80へ、ブロックデコーダの出力信号(ST00~ST11)は選択トランジスタへ配線する必要がある。しかし、補助ゲートデコーダ40とブロックデコーダ50をメモリセルアレイ80を挟んで反対側に配置するため、ブロックデコーダ50の出力信号(ST00~ST11)を補助ゲートデコーダ40上に配線したり、補助ゲートデコーダ40の出力信号(AG00~AG11)をブロックデコーダ50上に配線することがない。このため、補助ゲートデコーダ40あるいはブロックデコーダ50のレイアウトが容易となる。

【0394】なお、補助ゲートデコーダ40とブロックデコーダ50の位置関係は、逆にしても良い。

【0395】また、図62に示す半導体集積回路装置は、ブロックデコーダ50と補助ゲートデコーダ40が、メモリセルアレイ80の両側に1つずつ配置する構成を有する。その他の構成は図60に示す半導体集積回路装置と同様である。

【0396】このような半導体集積回路装置の場合、前記した効果に加えて、補助ゲートデコーダ40とブロックデコーダ50を、メモリセルアレイ80の両側に配置することで、ブロックデコーダ50の出力信号(ST00~ST11, B0P, B1P, B0N, B1N)や補助ゲートデコーダ40の出力信号(AG00~AG11)の配線長が半分となり、負荷が低減して半導体集積回路装置の高速化が可能となる。

【0397】(実施の形態10)図63~図65は、実施の形態9で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。図63~図65に各々示す3つの方式を例示できる。なお、図63~図65では、説明を簡単にするため、1ブロックの信号を示す。

【0398】まず第1に、図63に示す選択方式を説明する。補助ゲート信号(AG00, AG01)は、ブロック選択された信号BD0と、ブロックを更に2分割するための信号ABDST/ABDSBによって選択された信号を、AGij発生回路によって電圧変換して発生する。1ブロック内の補助ゲート信号は2本のため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、2回の動作で動作を完了できる。

【0399】すなわち、補助ゲートデコーダ40の入力

信号に、ブロックデコーダ50内で発生するブロック選択信号BD0を使用する。補助ゲート信号AG00とAG01は、ABDiによってブロック選択された信号BD0と、ブロックを更に2分割するための信号ABDST/ABDSBによって選択された信号を、AGij発生回路によって電圧変換して発生する。

【0400】このような方式は、信号BD0と信号ABDST/ABDSBは電源電圧Vcc系の信号であるため、補助ゲート信号AG00とAG01に必要な電圧が、電源電圧Vccに近い場合に有効な方式となる。また、1ブロック内に補助ゲート信号が2本ある(AG00とAG01)ため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作を完了できる。

【0401】次に、図64に示す選択方式を説明する。補助ゲート信号(AG00, AG01)は、選択トランジスタのゲート信号(ST00, ST01)をAGij発生回路によって電圧変換して発生する。1ブロック内の補助ゲート信号は2本のため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、2回の動作で動作を完了できる。

【0402】すなわち、補助ゲート信号AG00とAG01は、ABDiによってブロック選択された信号BD0と、ブロックを更に2分割するための信号ABDST/ABDSBによって選択された信号をSTij発生回路によって電圧変換して発生したST00とST01

(選択トランジスタのゲート信号)を、更にAGij発生回路によって電圧変換して発生する。

【0403】このような方式では、補助ゲート信号AG00とAG01を発生するための基準となる電圧が、選択トランジスタのゲート信号ST00とST01になる。従って、補助ゲート信号AG00とAG01に必要な電圧が、選択トランジスタのゲート信号ST00とST01に近い場合に有効な方式となる。また、補助ゲート信号が2本あるため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作を完了できる。

【0404】次に、図65に示す選択方式について説明する。選択トランジスタのゲート信号(ST00, ST01)は、補助ゲート信号(AG00, AG01)をSTij発生回路によって電圧変換して発生する。1ブロック内の補助ゲート信号は2本のため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、2回の動作で動作を完了できる。

【0405】すなわち、前記図64の場合の逆で、選択トランジスタのゲート信号ST00とST01は、ABDiによってブロック選択された信号BD0と、ブロックを更に2分割するための信号ABDST/ABDSB

によって選択された信号をAG_{ij}発生回路によって電圧変換して発生したAG₀₀とAG₀₁（補助ゲート信号）を、更にST_{ij}発生回路によって電圧変換して発生する。

【0406】このような場合、選択トランジスタのゲート信号ST₀₀とST₀₁を発生するための基準となる電圧が、補助ゲート信号AG₀₀とAG₀₁になる。従って、選択トランジスタのゲート信号ST₀₀とST₀₁に必要な電圧が、補助ゲート信号AG₀₀とAG₀₁に近い場合に有効な方式となる。また、補助ゲート信号が2本あるため、1本のワード線上に存在する全てのメモリセルを書込む、あるいは読出す場合、仮想接地型メモリセルアレイで最低限必要となる、2回の動作で動作を完了できる。

【0407】なお、本実施の形態で説明した3つの選択方式は、任意に実施の形態9に適用できる。

【0408】（実施の形態11）図66は、本実施の形態11の半導体集積回路装置を示した回路図である。本実施の形態では、デコーダ配置の他の例を説明する。なお、メモリセルアレイ80、補助ゲートデコーダ40、ブロックデコーダ50、サブデコーダ60、ゲートデコーダ20、選択トランジスタ70、およびセンス回路30については実施の形態7、8と同様である。これらの説明は省略する。

【0409】ブロックデコーダ50と補助ゲートデコーダ40は、メモリセルアレイ80の片側に1つずつ配置する。1ブロック内の補助ゲート信号は1本のため、補助ゲートは消去ゲートとしてのみ使用する。

【0410】説明を簡単にするため、図66では2ブロック分を示す。1ブロック内のメモリセルアレイ80を2分割し、メモリセルアレイ80を挟むようにサブデコーダ60を配置する。なお、メモリセルアレイ80の分割数は、2分割に限定する必要はない。

【0411】サブデコーダ60は、メモリセルアレイ80の両側に配置し、補助ゲートデコーダ40、ブロックデコーダ50、サブデコーダ60は、ワード線の延長方向へ配置する。

【0412】1ブロック内の補助ゲート信号は、AG₀₀あるいはAG₁₀の1本であるため、補助ゲートは消去ゲートとしてのみ使用する。

【0413】1ブロック内の選択トランジスタのゲート信号は、ST₀₀とST₀₁あるいはST₁₀とST₁₁の2本であり、ブロックデコーダ50の出力信号となる。

【0414】サブデコーダ60のPMOS電源信号B_{0P}あるいはB_{1P}とNMOS電源信号B_{0N}あるいはB_{1N}は、ブロックを選択するためのアドレス選択信号ABD_iを入力信号として発生する。

【0415】選択トランジスタのゲート信号ST₀₀とST₀₁あるいはST₁₀とST₁₁は、ブロックを選

択するためのアドレス選択信号ABD_iと、ブロックを更に2分割するためのアドレス選択信号ABDSTあるいはABDSBを入力信号として発生する。

【0416】補助ゲート信号AG₀₀あるいはAG₁₀は、ブロック選択信号BD₀あるいはBD₁を入力信号として発生する。

【0417】補助ゲートデコーダ40の入力信号には、ブロックデコーダ50内で発生するブロック選択信号BD₀あるいはBD₁を使用し、補助ゲートデコーダ40はブロックデコーダ50と隣接して配置する。

【0418】補助ゲートデコーダ40とブロックデコーダ50は、メモリセルアレイ80の左右どちらか一方（図66では左側）に配置する。ただし、補助ゲートデコーダ40とブロックデコーダ50の位置関係は、逆にしても良い。

【0419】なお、後述するように、補助ゲートデコーダ40とブロックデコーダ50の選択方法は、様々なバリエーションがあるため、各信号の流れはこれに限定する必要はない。

【0420】このようなデコーダ配置によれば、以下のような効果がある。

【0421】すなわち、1ブロック内のメモリセルアレイ80を2分割し、メモリセルアレイ80を挟むようにサブデコーダ60を配置することで、ワード線を短くでき負荷が低減されるため、半導体集積回路装置の高速化が図れる。

【0422】サブデコーダ60をメモリセルアレイ80の両側に配置することで、サブデコーダ60に接続されるメモリセルアレイ80内のワード線は、メモリセルアレイ80の左右に分けて1本置きに取出せば良い。このため、ワード線とサブデコーダ60の接続部分のレイアウト設計が容易となる（ワード線ピッチ緩和がでる）。

【0423】サブデコーダ60をメモリセルアレイ80の両側に配置することで、ワード線2本分の領域でサブデコーダ素子を配置でき、サブデコーダ60のレイアウト設計が容易となる。

【0424】補助ゲートデコーダ40とブロックデコーダ50は、1ブロックに対して1つずつしかないので、デコーダの面積を最小限に抑えられる。

【0425】補助ゲートデコーダ40とブロックデコーダ50が隣接しているため、補助ゲートデコーダ40の入力となるブロックデコーダ50の出力信号BD₀とBD₁を遠方まで引回さずに済む。

【0426】なお、デコーダの配置は、前記したもののほか、図67または図68に示す構成もある。

【0427】図67に示す半導体集積回路装置は、ブロックデコーダ50と補助ゲートデコーダ40は、メモリセルアレイ80を挟んで反対側に1つずつ配置するものであり、その他の構成は図66に示す半導体集積回路装

置と同様である。

【0428】このような半導体集積回路装置によれば、前記した効果に加えて以下の効果がある。すなわち、補助ゲートデコーダ40の出力信号（AG00～AG11）はメモリセルアレイ80へ、ブロックデコーダの出力信号（ST00～ST11）は選択トランジスタへ配線する必要がある。しかし、補助ゲートデコーダ40とブロックデコーダ50をメモリセルアレイ80を挟んで反対側に配置するため、ブロックデコーダ50の出力信号（ST00～ST11）を補助ゲートデコーダ40上に配線したり、補助ゲートデコーダ40の出力信号（AG00～AG11）をブロックデコーダ50上に配線することがない。このため、補助ゲートデコーダ40あるいはブロックデコーダ50のレイアウトが容易となる。

【0429】なお、補助ゲートデコーダ40とブロックデコーダ50の位置関係は、逆にしても良い。

【0430】また、図68に示す半導体集積回路装置は、ブロックデコーダ50と補助ゲートデコーダ40が、メモリセルアレイ80の両側に1つずつ配置する構成を有する。その他の構成は図66に示す半導体集積回路装置と同様である。

【0431】このような半導体集積回路装置の場合、前記した効果に加えて、補助ゲートデコーダ40とブロックデコーダ50を、メモリセルアレイ80の両側に配置することで、ブロックデコーダ50の出力信号（ST00～ST11、B0P、B1P、B0N、B1N）や補助ゲートデコーダ40の出力信号（AG00～AG11）の配線長が半分となり、負荷が低減して半導体集積回路装置の高速化が可能となる。

【0432】（実施の形態12）図69および図70は、実施の形態11で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。図69、70の各々示す2つの方式を例示できる。なお、図69、70では、説明を簡単にするため、1ブロックの信号を示す。

【0433】まず第1に、図69に示す選択方式を説明する。補助ゲート信号（AG00）は、ブロック選択された信号BD0をAGij発生回路によって電圧変換して発生する。1ブロック内の補助ゲート信号は1本のため、補助ゲートは消去ゲートとしてのみ使用する。すなわち、補助ゲートデコーダ40の入力信号に、ブロックデコーダ50内で発生するブロック選択信号BD0を使用する。補助ゲート信号AG00は、ABDiによってブロック選択された信号BD0を、AGij発生回路によって電圧変換して発生する。

【0434】このような選択方式によれば、信号BD0は電源電圧Vcc系の信号であるため、補助ゲート信号AG00に必要な電圧が、電源電圧Vccに近い場合に有効な方式となる。

【0435】次に、図70に示す選択方式を説明する。

補助ゲート信号は、サブデコーダ60のPMOS電源信号をAGij発生回路によって電圧変換して発生する。1ブロック内の補助ゲート信号は1本のため、補助ゲートは消去ゲートとしてのみ使用する。すなわち、補助ゲート信号AG00は、ABDiによってブロック選択された信号BD0によって選択された信号をBiP発生回路によって電圧変換して発生したB0P（サブデコーダ60のPMOS電源信号）を、更にAGij発生回路によって電圧変換して発生する。

【0436】このような選択方式によれば、補助ゲート信号AG00を発生するための基準となる電圧が、サブデコーダ60のPMOS電源信号B0Pになる。従って、補助ゲート信号AG00に必要な電圧が、サブデコーダ60のPMOS電源信号B0Pに近い場合に有効な方式となる。

【0437】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0438】たとえば、実施の形態1から6では、ワード線WLの材料としてポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜を用いたが、窒化タングステン膜に代えて他のバリア金属膜、たとえばタングステン、チタン、タンタル等の遷移金属元素単体、あるいはその窒化物、もしくはその珪化物（シリサイド）やアルミニウム窒化物、コバルトシリサイド、モリブデンシリサイド、更にはチタンタングステン等の合金膜を用いても同等の効果が得られる。またポリシリコン膜と金属珪化物の積層膜、いわゆるポリサイド膜であっても同様の効果が得られる。

【0439】また、実施の形態1から6では、ワード線WLの材料としてポリシリコン膜、窒化タングステン膜、タングステン膜の積層膜を用いたが、これに代えてポリシリコン膜と金属珪化物の積層膜を用いても同様の効果が得られる。金属珪化物の代表例としてはタングステンシリサイド膜がある。

【0440】また、実施の形態1から6では、浮遊ゲートと第3ゲートを分離する絶縁膜として窒素を添加したシリコン酸化膜を用いたが、本半導体集積回路装置を書換え回数が少ない製品に応用するような場合には、従来の熱酸化法やCVD法により形成したシリコン酸化膜を用いてもよい。

【0441】また、実施の形態1から5では、浮遊ゲートと制御ゲートを分離する絶縁膜に対しても窒素を添加したシリコン酸化膜を用いたが、書換え時の内部動作電圧や書換え速度があまり重要とならないような目的で使用される場合には、従来広く用いられているシリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜、いわゆるONO膜を用いてもよい。

【0442】また、実施の形態1から6では、p型のウ

エル中に n 型の拡散層を形成した n チャネル型のメモリセルを例に説明したが、ウェルが n 型であり、拡散層が p 型となる p チャネル型のメモリセルであっても同様の効果が得られる。この場合、実施の形態 2、3 および 4 では、書込みの際の制御ゲート、第 3 ゲート、およびドレインの電位はウェル電位に対し相対的に負の値となる。実施の形態 1、5 および 6 では、書込みの際の制御ゲートおよびドレインの電位はウェル電位に対し相対的に負の値となる。これらの場合、ホットエレクトロンにより電子注入が生じる。

【0443】また、実施の形態 1、5 および 6 であっても、メモリセルが p チャネル型の場合、書込みの際、制御ゲート電位はウェル電位に対し、相対的に正の値、また、ドレイン電位はウェル電位に対し相対的に負の値とすることもできる。この場合はバンド間トンネル現象により浮遊ゲートに電子が注入される。

【0444】また、いずれの実施の形態であっても、書込みの際、浮遊ゲートに蓄積される電子の状態は最低 2 状態必要であるが、4 状態以上のレベルを形成し、1 つのメモリセルに 2 ビット以上のデータを記憶するいわゆる多値記憶に適用してもよい。従来の多値記憶では、浮遊ゲートに蓄積される電子の量を高精度に制御して各レベルのしきい値分布を圧縮しても、2 値記憶に比べ、いちばん低いしきい値状態といちばん高いしきい値状態の電圧差が大きくなるという問題があった。このためファウラーノードハイム型の書換えでは、書換え速度が遅くなるか、書込み電圧が高くなるという問題が生じた。本発明によれば、書込みおよび消去をともに 1.3、5 V 以下と低電圧化できる、言い換えれば書換えの高速化できるので、多値記憶に極めて有効である。

【0445】また、消去の際、実施の形態 2 および 4 では第 3 ゲートに制御ゲート電位に対して正の電位を印加し、浮遊ゲートから第 3 ゲートへの電子放出を、また、実施の形態 3 では、第 1 導電型のウェルに対し制御ゲートに負の電位を印加し、第 3 ゲートの電位は 0 V として浮遊ゲートからウェルへの電子放出を行ったが、ソースまたはドレイン拡散層と浮遊ゲートのオーバーラップを比較的大きくとり、浮遊ゲートからソース・ドレインへの電子放出を行っても良い。

【0446】また、本発明は、いわゆるフラッシュメモリのみを有する半導体集積回路装置に適用されるわけではなく、たとえば、不揮発性半導体記憶素子（フラッシュメモリ）を有するメモリセルアレイ 80 部を備えたワンチップマイクロコンピュータ（半導体装置）に適用してもよい。

【0447】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0448】半導体集積回路装置のメモリセル面積を縮

小することが可能である。

【0449】半導体集積回路装置の動作速度の向上が図れる。

【0450】半導体集積回路装置のメモリセル内の各ゲート間を分離する絶縁膜の欠陥密度が減少し、半導体集積回路装置の歩留り向上が図れる。

【0451】半導体集積回路装置の内部動作電圧の低減が図れる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 である半導体集積回路装置の一例を示した一部平面図である。

【図 2】(a)、(b) および (c) は、各々、図 1 における A-A'、B-B' および C-C' 線断面図である。

【図 3】(a) ~ (e) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 4】(a) ~ (d) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 5】(a) ~ (e) は、実施の形態 1 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 6】実施の形態 1 のメモリセルアレイの構成を示した回路図である。

【図 7】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 8】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 9】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 10】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 11】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 12】第 3 ゲート電極の取出し部分のレイアウトを示した平面図である。

【図 13】実施の形態 1 の書き込み動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 14】実施の形態 1 の消去動作を示し、(a) は等価回路図を、(b) はタイミングチャートを示す。

【図 15】実施の形態 1 の読み出し動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 16】(a) ~ (c) は、本発明の実施の形態 2 である半導体集積回路装置の一例を示した断面図である。

【図 17】実施の形態 2 の半導体集積回路装置の製造方法を示した断面図である。

【図 18】実施の形態 2 のメモリセルアレイの構成を示した回路図である。

【図 19】実施の形態 2 の書き込み動作を示し、(a) は等価回路図を、(b) ~ (g) はタイミングチャート

を示す。

【図 20】実施の形態 2 の消去動作を示し、(a) は等価回路図を、(b) はタイミングチャートを示す。

【図 21】実施の形態 2 の読み出し動作を示し、(a) は等価回路図を、(b) ~ (g) はタイミングチャートを示す。

【図 22】本発明の実施の形態 3 である半導体集積回路装置の一例を示した一部平面図である。

【図 23】(a)、(b) および (c) は、各々、図 22 における A-A'、B-B' および C-C' 線断面図である。

【図 24】(a)、(b) は、実施の形態 3 の半導体集積回路装置の製造方法を工程順に示した断面図である。

【図 25】実施の形態 3 のメモリセルアレイの構成を示した図である。

【図 26】実施の形態 3 の消去動作を示し、(a) は等価回路図を、(b) はタイミングチャートを示す。

【図 27】(a) ~ (e) は、実施の形態 4 の半導体集積回路装置の製造方法を工程順に示した断面図である。

【図 28】本発明の実施の形態 5 である半導体集積回路装置の一例を示した一部平面図である。

【図 29】(a)、(b) および (c) は、各々、図 28 における A-A'、B-B' および C-C' 線断面図である。

【図 30】(a) ~ (c) は、実施の形態 5 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 31】(a) ~ (c) は、実施の形態 5 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 32】(a) ~ (d) は、実施の形態 5 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 33】(a) ~ (d) は、実施の形態 5 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 34】実施の形態 5 のメモリセルアレイの構成を示した図である。

【図 35】実施の形態 5 の書き込み動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 36】実施の形態 5 の消去動作を示し、(a) は等価回路図を、(b) はタイミングチャートを示す。

【図 37】実施の形態 5 の読み出し動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 38】本発明の実施の形態 6 である半導体集積回路装置の一例を示した一部平面図である。

【図 39】(a)、(b) および (c) は、各々、図 38 における A-A'、B-B' および C-C' 線断面図である。

【図 40】(a) ~ (d) は、実施の形態 6 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 41】(a) ~ (c) は、実施の形態 6 の半導体集

積回路装置の製造方法の一例を示した断面図である。

【図 42】(a) ~ (c) は、実施の形態 6 の半導体集積回路装置の製造方法の一例を示した断面図である。

【図 43】実施の形態 6 の書き込み動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 44】実施の形態 6 の消去動作を示し、(a) は等価回路図の一例を、(b) は等価回路の他の例を、(c) はタイミングチャートを示す。

【図 45】実施の形態 6 の読み出し動作を示し、(a) は等価回路図を、(b) および (c) はタイミングチャートを示す。

【図 46】本発明の実施の形態 7 である半導体集積回路装置の一例を概念的に示した回路図である。

【図 47】実施の形態 7 のメモリセルアレイ、ブロックデコーダ、サブデコーダ等の配置を示した回路図である。

【図 48】実施の形態 7 の選択トランジスタ構成を有する半導体集積回路装置における書き込み動作のタイミングを示したタイミングチャートである。

【図 49】実施の形態 7 の選択トランジスタ構成を有する半導体集積回路装置における消去動作のタイミングを示したタイミングチャートである。

【図 50】実施の形態 7 の選択トランジスタ構成を有する半導体集積回路装置における読み出し動作のタイミングを示したタイミングチャートである。

【図 51】補助ゲート付き仮想接地型メモリセルアレイの利点を説明する回路図である。

【図 52】(a)、(b) は、選択トランジスタの必要性について説明する回路図である。

【図 53】センス回路のピッチ緩和を説明する回路図である。

【図 54】センス回路のピッチ緩和を説明する回路図である。

【図 55】本発明の実施の形態 8 である半導体集積回路装置の一例を概念的に示した回路図である。

【図 56】実施の形態 8 のメモリセルアレイ、ブロックデコーダ、サブデコーダ等の配置を示した回路図である。

【図 57】実施の形態 8 の選択トランジスタ構成を有する半導体集積回路装置における書き込み動作を説明するためのタイミングチャートである。

【図 58】実施の形態 8 の選択トランジスタ構成を有する半導体集積回路装置における消去動作を説明するためのタイミングチャートである。

【図 59】実施の形態 8 の選択トランジスタ構成を有する半導体集積回路装置における読み出し動作を説明するためのタイミングチャートである。

【図 60】実施の形態 9 の半導体集積回路装置を示した回路図である。

【図 6 1】実施の形態 9 の半導体集積回路装置の他の例を示した回路図である。

【図 6 2】実施の形態 9 の半導体集積回路装置のさらに他の例を示した回路図である。

【図 6 3】実施の形態 10 の半導体集積回路装置を示した回路図であり、実施の形態 9 で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。

【図 6 4】実施の形態 10 の半導体集積回路装置の他の例を示した回路図であり、実施の形態 9 で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。

【図 6 5】実施の形態 10 の半導体集積回路装置のさらに他の例を示した回路図であり、実施の形態 9 で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。

【図 6 6】実施の形態 11 の半導体集積回路装置を示した回路図である。

【図 6 7】実施の形態 11 の半導体集積回路装置の他の例を示した回路図である。

【図 6 8】実施の形態 11 の半導体集積回路装置のさらに他の例を示した回路図である。

【図 6 9】実施の形態 12 の半導体集積回路装置を示した回路図であり、実施の形態 11 で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。

【図 7 0】実施の形態 12 の半導体集積回路装置の他の例を示した回路図であり、実施の形態 11 で説明した半導体集積回路装置に適用可能な補助ゲートとブロックの選択方式を示す回路ブロック図である。

【符号の説明】

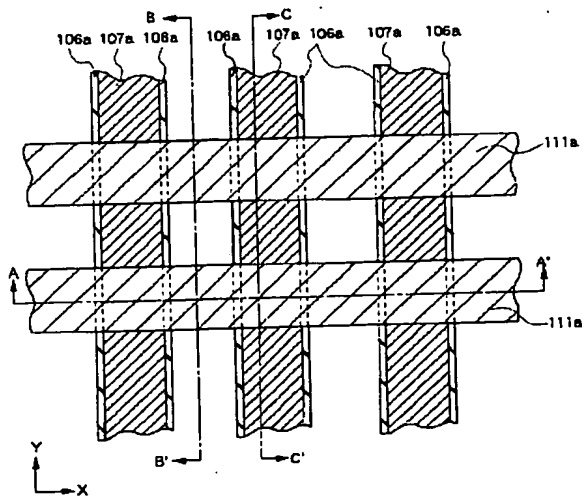
- 20 ゲートデコーダ
- 30 センス回路
- 40 補助ゲートデコーダ
- 50 ブロックデコーダ
- 60 サブデコーダ
- 70 選択トランジスタ
- 80 メモリセルアレイ
- 85 メモリセル
- 100 半導体基板
- 101 p型ウェル
- 102 ゲート絶縁膜
- 103 ポリシリコン膜
- 103a 浮遊ゲートパターン (浮遊ゲートポリシリコン)
- 103b 浮遊ゲート
- 104 シリコン窒化膜
- 104a シリコン窒化膜
- 104b シリコン窒化膜
- 105 ソース/ドレイン拡散層
- 106 絶縁膜 (シリコン酸化膜)
- 106a 絶縁膜
- 107 ポリシリコン膜
- 107a 第3ゲート (消去ゲート)
- 108a 絶縁膜 (シリコン酸化膜)
- 109 ポリシリコン膜
- 109a ポリシリコン膜
- 110 シリコン酸化膜
- 110a 絶縁膜
- 111a 制御ゲート (ワード線)
- 111z ワード線
- 112 ダミーパターン
- 113 ゲート
- 114 結尾部
- 115 コンタクト孔
- 116 金属配線
- 118 コンタクト孔
- 205 ソース/ドレイン拡散層
- 300 半導体基板
- 301 p型ウェル
- 302 素子分離領域
- 303 ゲート絶縁膜
- 304 ポリシリコン膜
- 304a 浮遊ゲートパターン
- 304b 第1ゲート電極 (浮遊ゲート)
- 305 シリコン窒化膜
- 305a シリコン窒化膜
- 305b シリコン窒化膜
- 306 ソース/ドレイン拡散層
- 307 絶縁膜
- 308 ポリシリコン膜
- 308a ポリシリコン膜
- 309 シリコン酸化膜
- 309a 絶縁膜
- 310 ポリシリコン膜
- 310a ポリシリコン
- 310b ポリシリコン
- 311 シリコン酸化膜
- 311a 絶縁膜
- 312 ポリメタル膜
- 312a ワード線 (制御ゲート、第2ゲート)
- 400 半導体基板
- 401 p型ウェル
- 402 フィールド酸化膜
- 403 ゲート絶縁膜
- 404 ポリシリコン膜
- 404a 浮遊ゲート
- 405 ソース/ドレイン拡散層
- 406 絶縁膜
- 406a 絶縁膜

407 ポリシリコン膜
 407a 消去ゲート (第3ゲート)
 408 絶縁膜 (シリコン酸化膜)
 409 ポリメタル膜
 409a ワード線 (制御ゲート)
 606 シリコン酸化膜
 606a シリコン酸化膜
 ABDST、ABDSB アドレス選択信号
 ABDi アドレス選択信号
 AG 第3ゲート電極
 AG00~AG01 補助ゲート信号
 BON NMOS電源信号

BOP PMOS電源信号
 BD0 ブロック選択信号
 D00~D04 ドレイン/ソース
 DL グローバルデータ線
 Dn ドレイン拡散層
 GO 出力信号
 M メモリセル
 SS ソース電圧
 ST00~ST03 ゲート信号
 VD ドレイン電圧
 Vcc 電源電圧
 WL ワード線

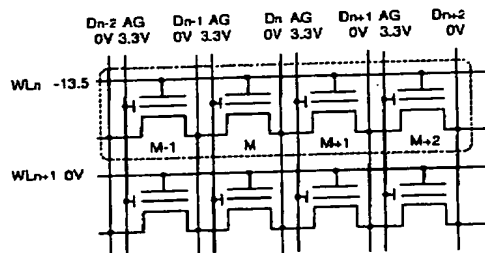
【図1】

図 1

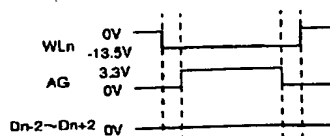


【図14】

図 14



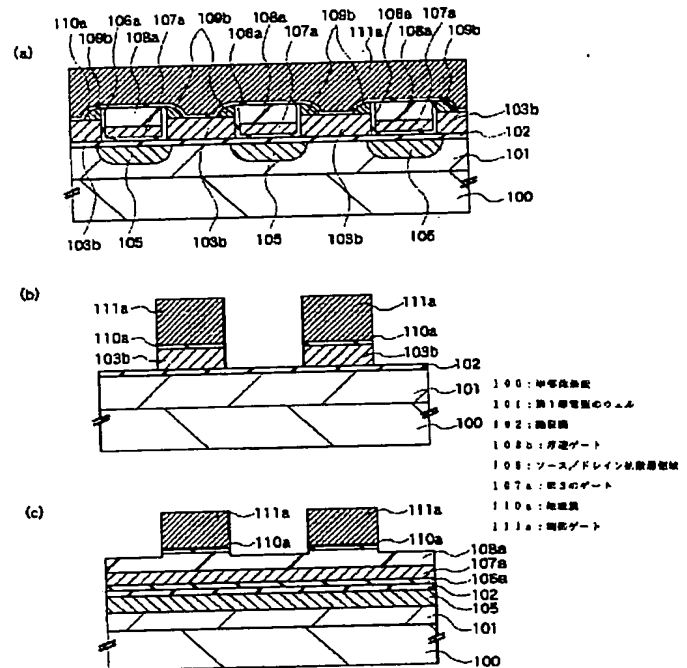
(a) 消去動作電圧



(b) タイミング方式1

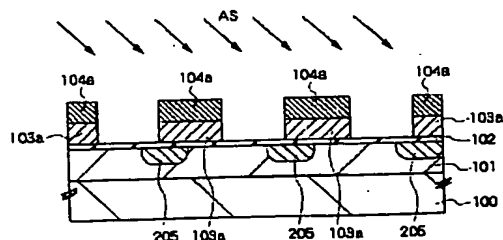
【図2】

図 2

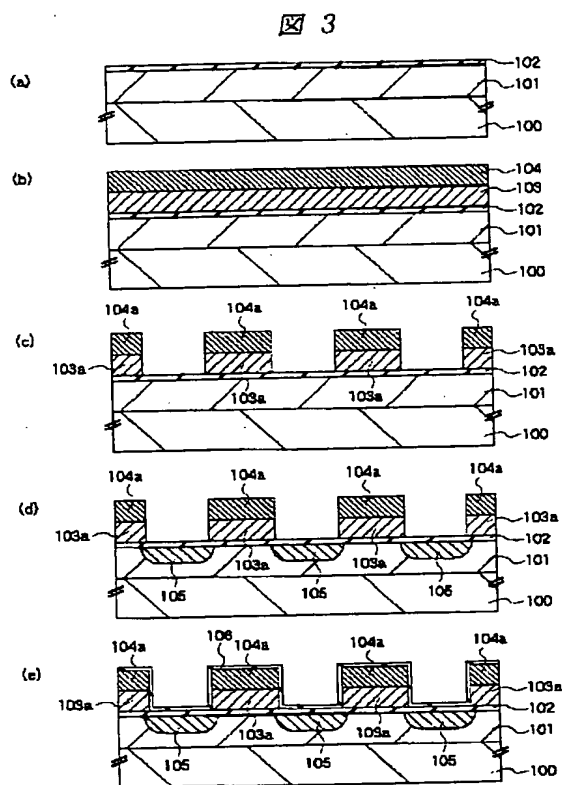


【図17】

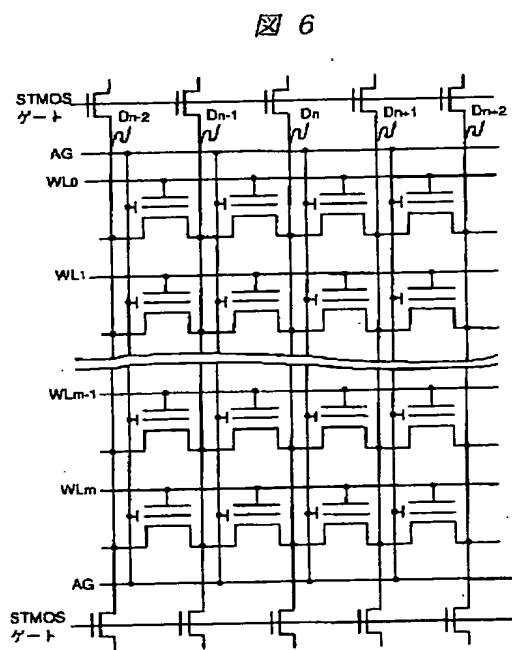
図 17



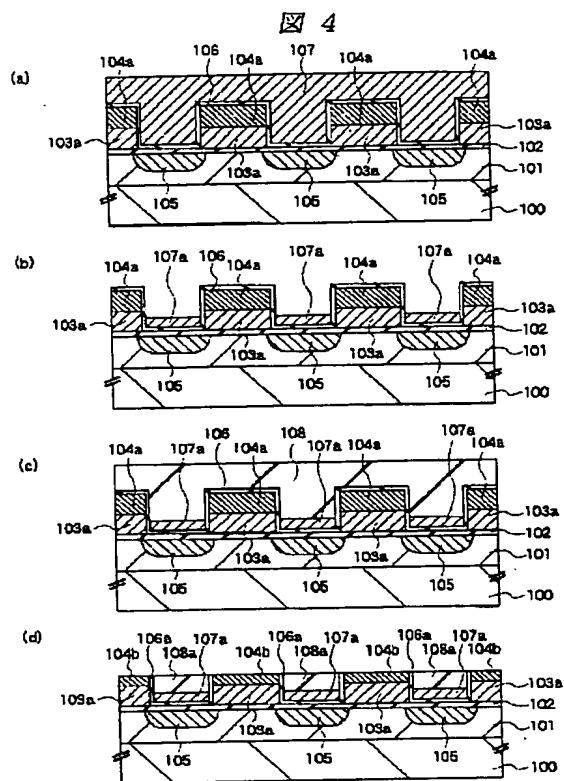
【図3】



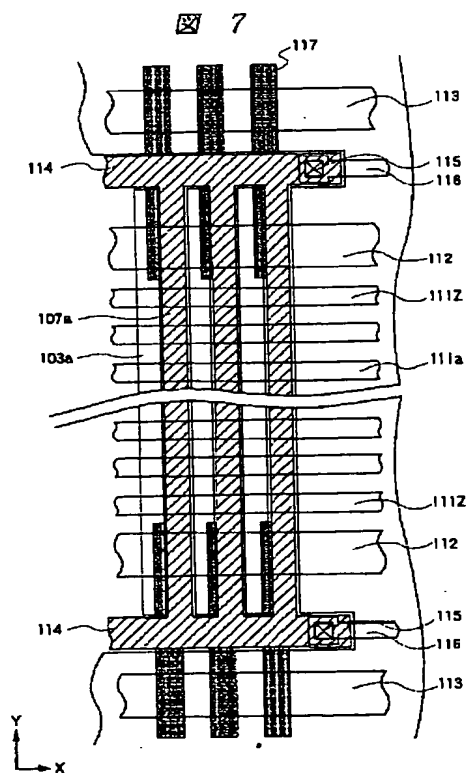
【図6】



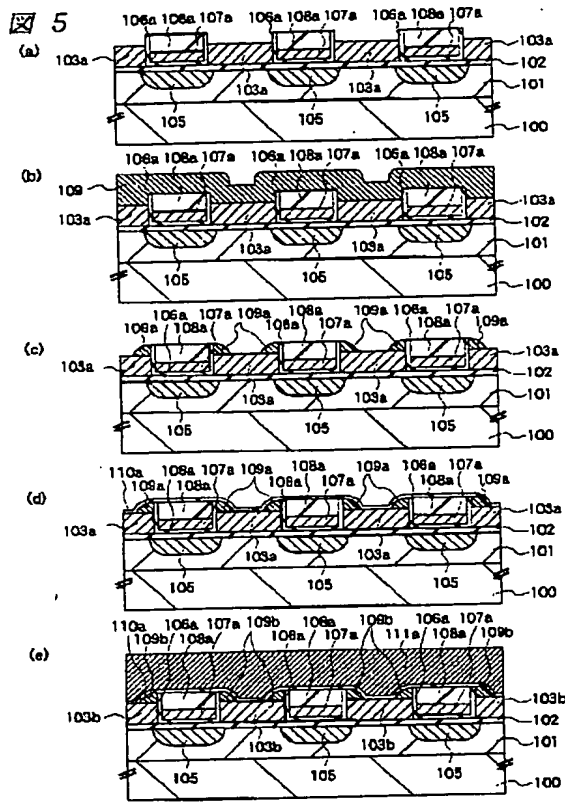
【図4】



【図7】

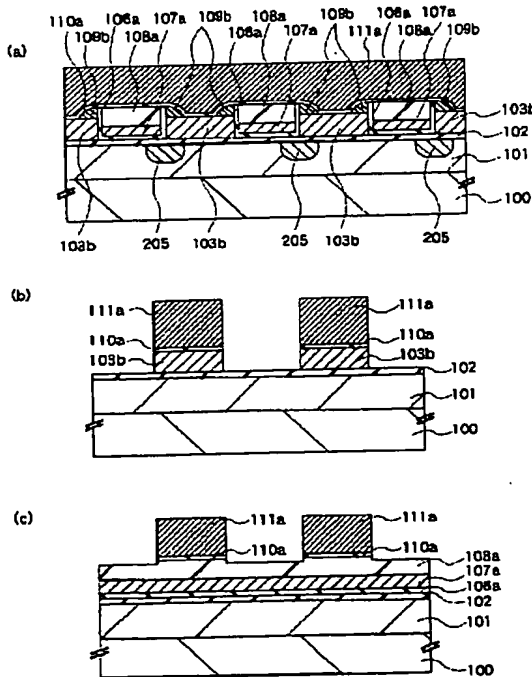


【図5】

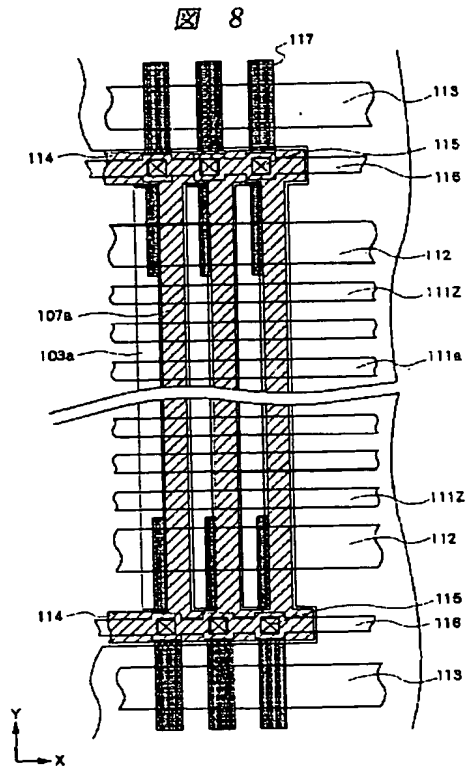


【図16】

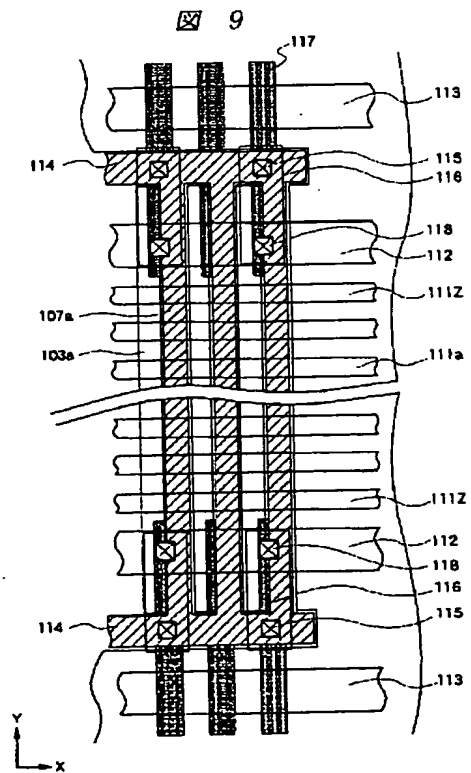
図 16



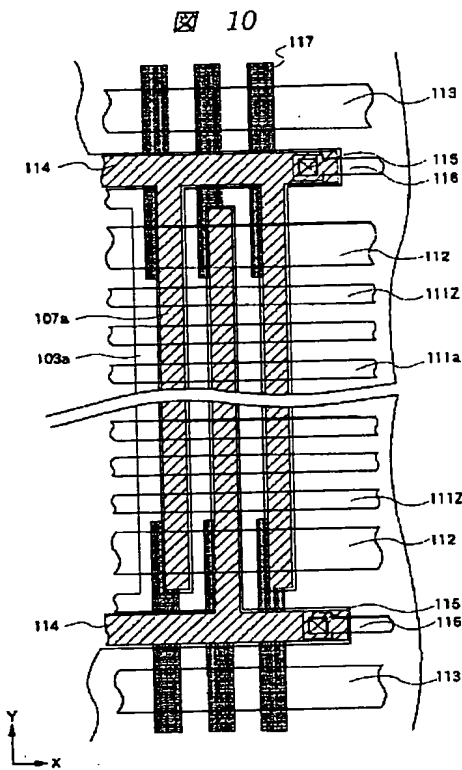
【図8】



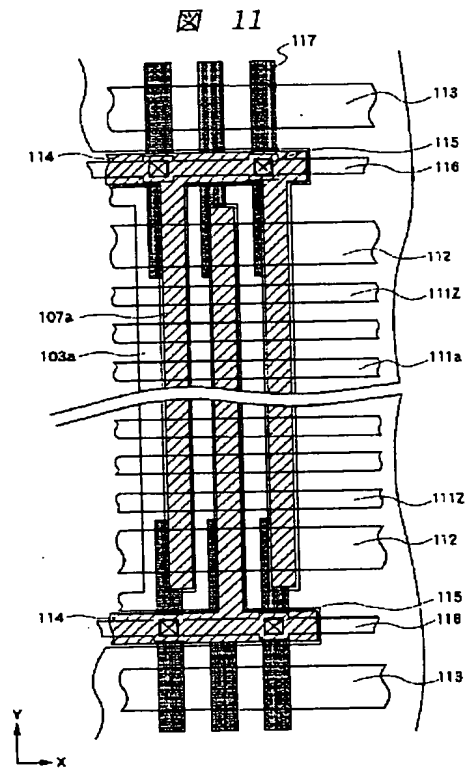
【図9】



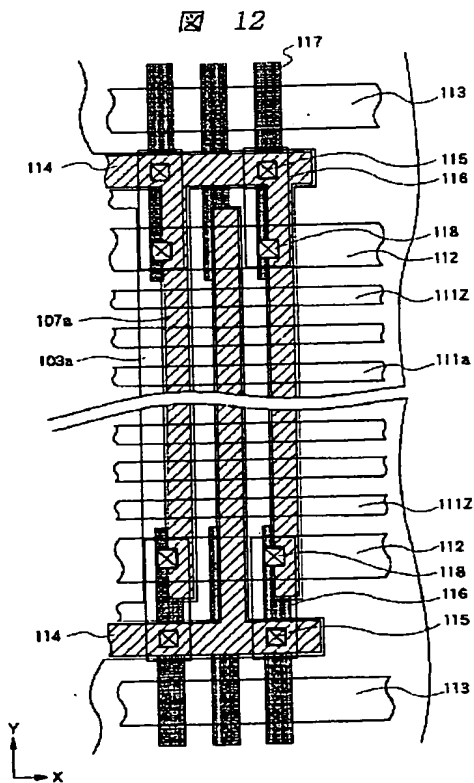
【図10】



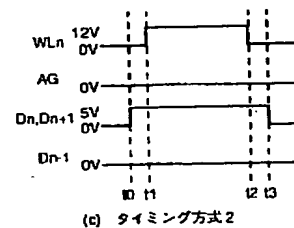
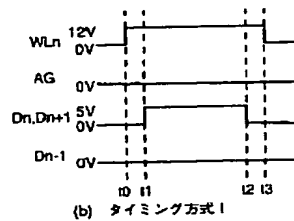
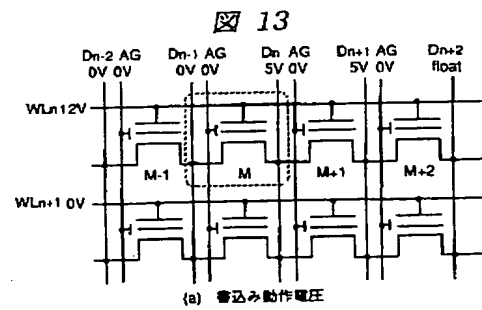
【図11】



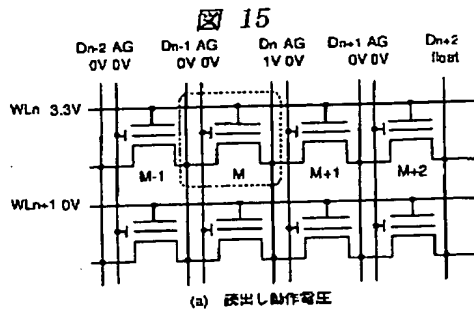
【図12】



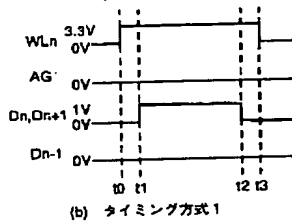
【図13】



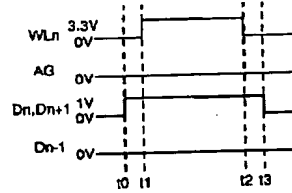
【図15】



(a) 読み動作電圧



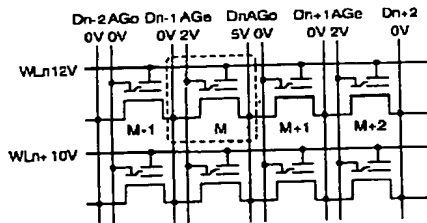
(b) タイミング方式1



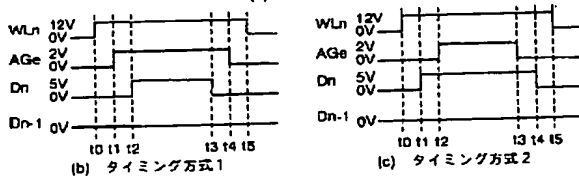
(c) タイミング方式2

【図19】

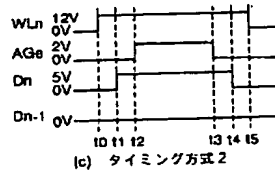
図 19



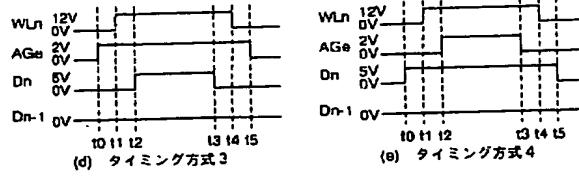
(a) 書き込み動作電圧



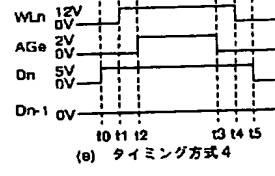
(b) タイミング方式1



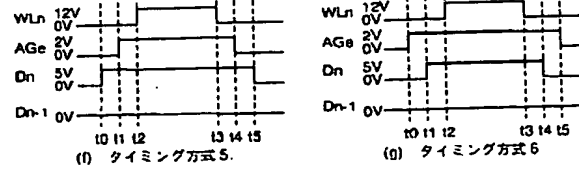
(c) タイミング方式2



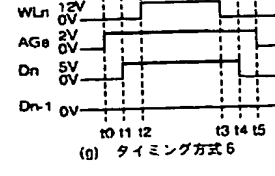
(d) タイミング方式3



(e) タイミング方式4



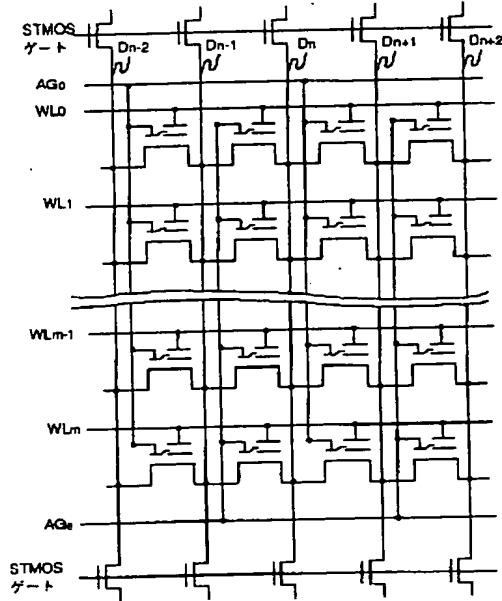
(f) タイミング方式5



(g) タイミング方式6

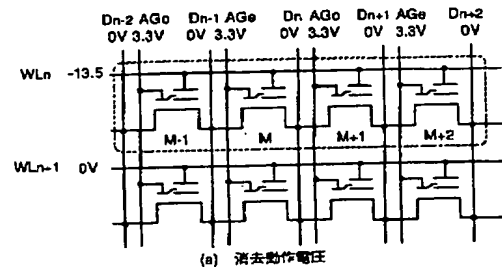
【図18】

図 18

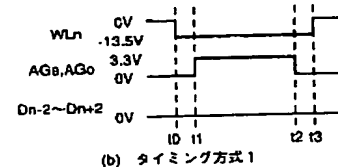


【図20】

図 20



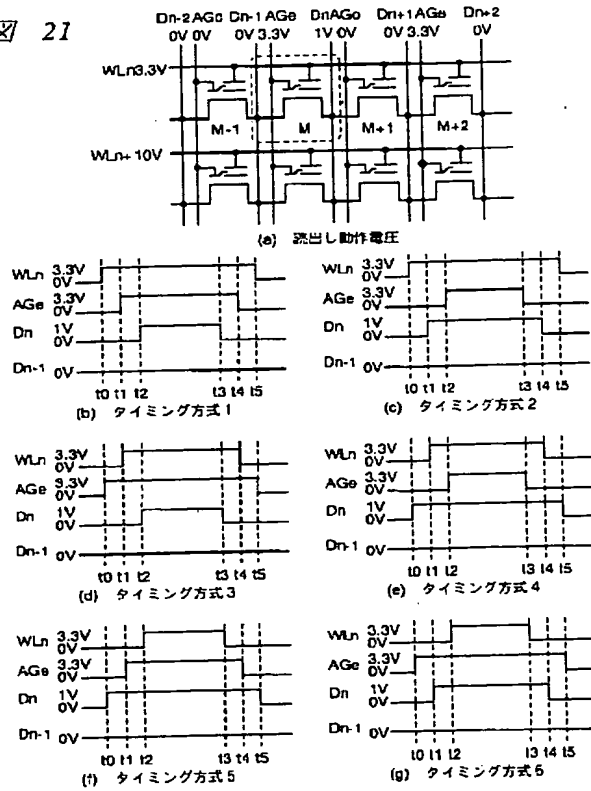
(a) 消去動作電圧



(b) タイミング方式1

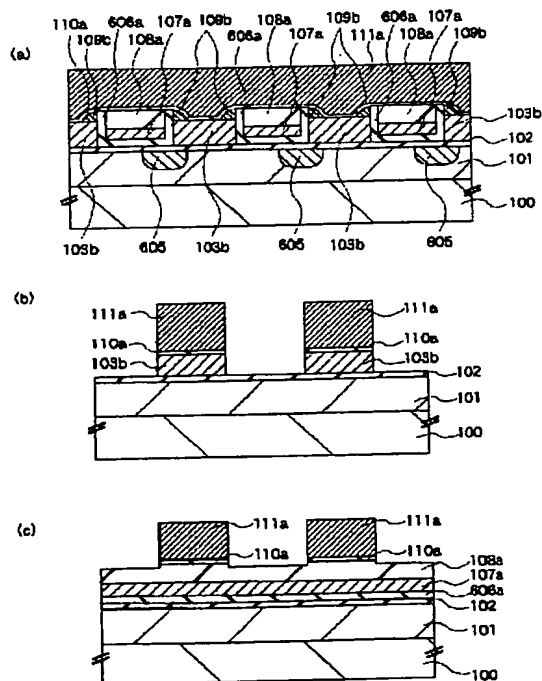
【図21】

図 21



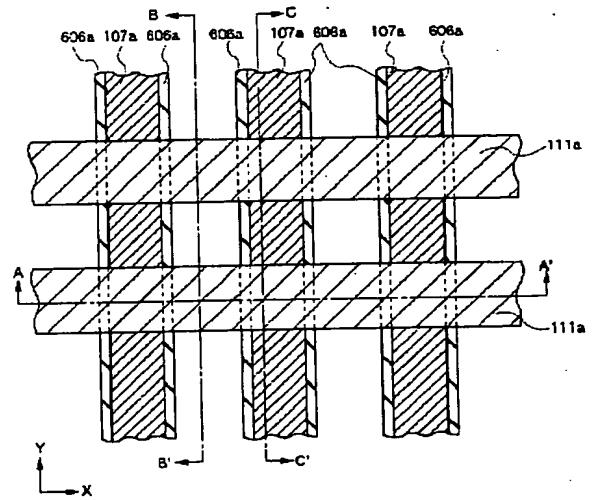
【図23】

図 23



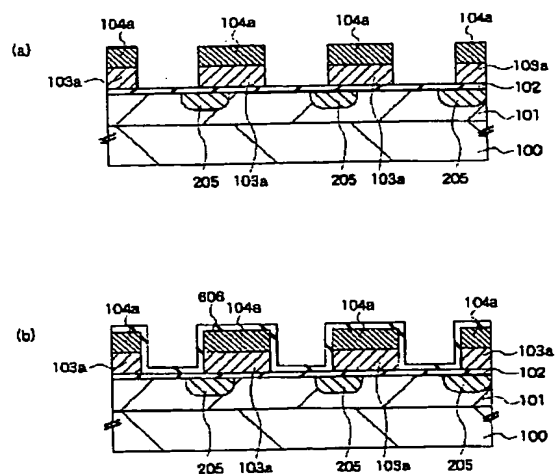
【図22】

図 22



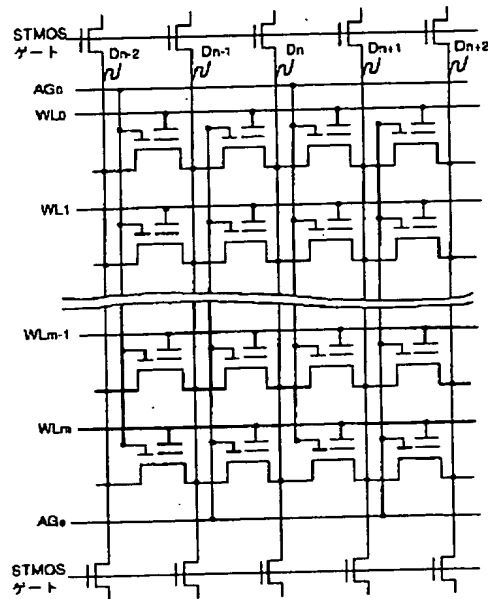
【図24】

図 24



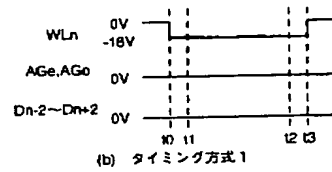
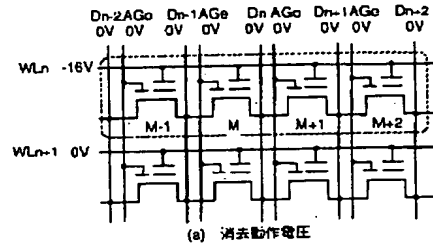
【図25】

図 25



【図26】

図 26

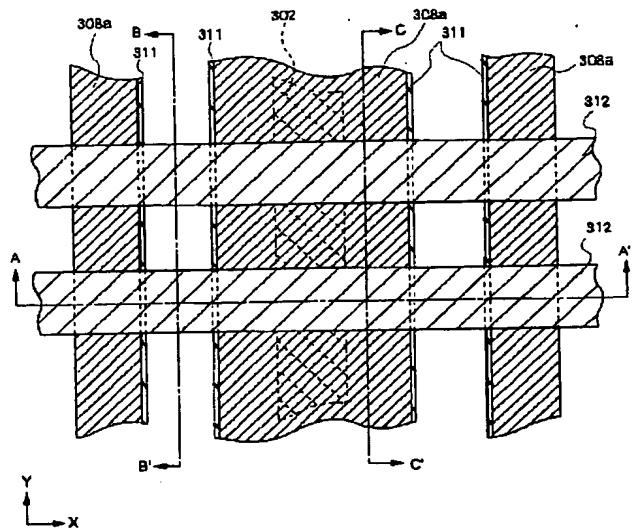
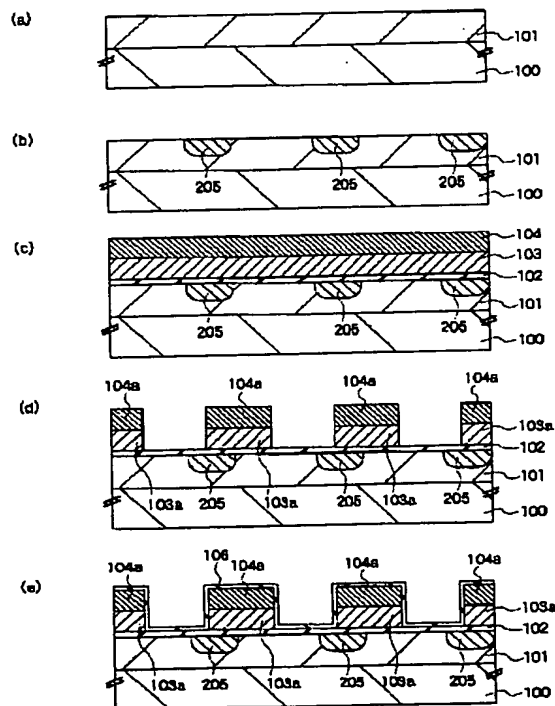


【図28】

図 28

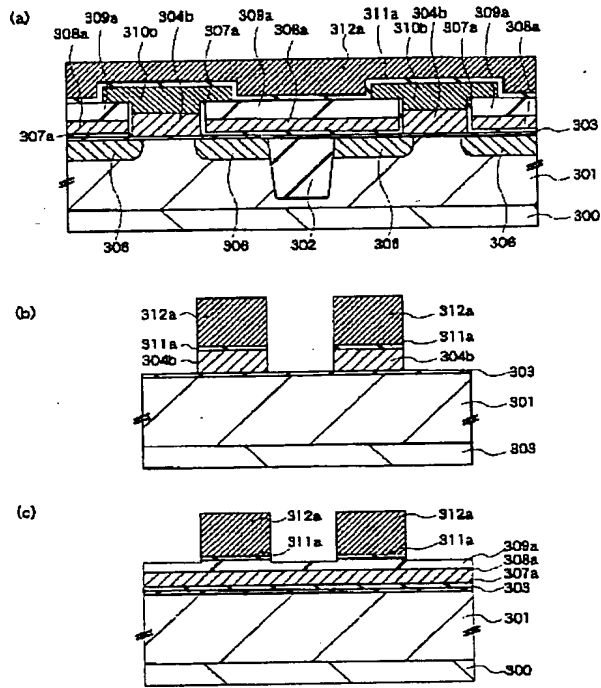
【図27】

図 27



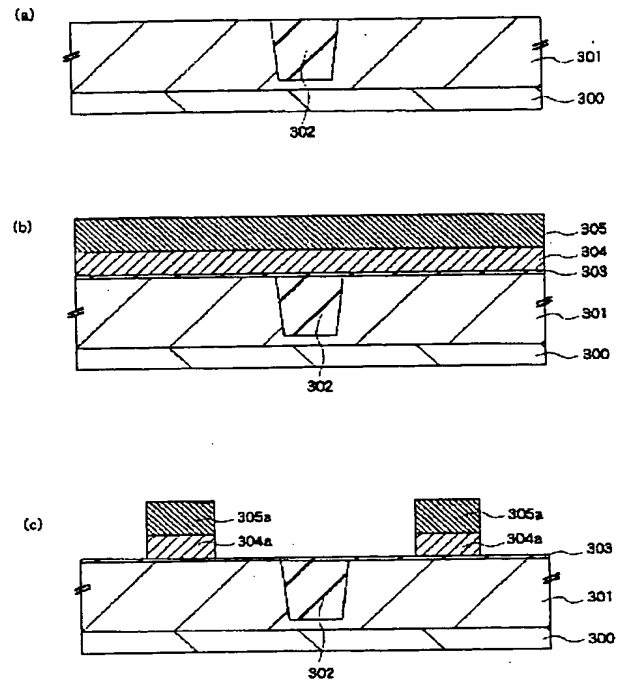
【図 29】

図 29



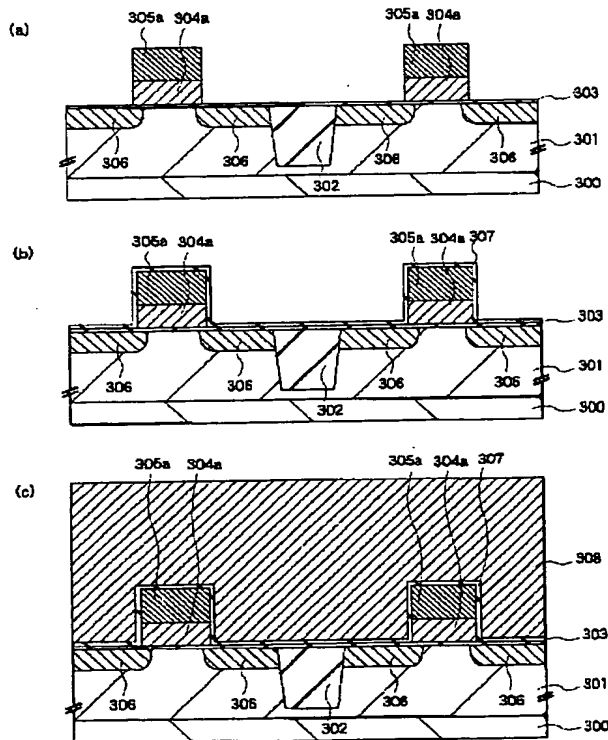
【図 30】

図 30



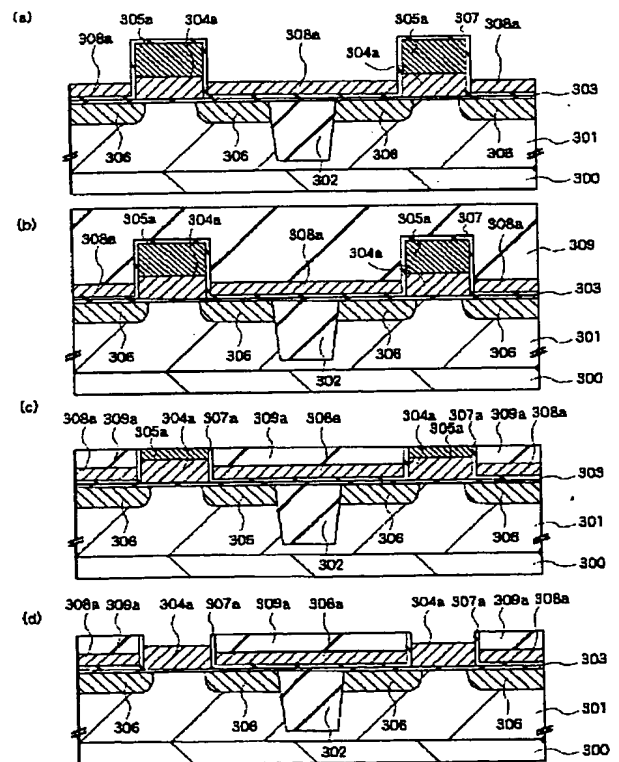
【図 31】

図 31

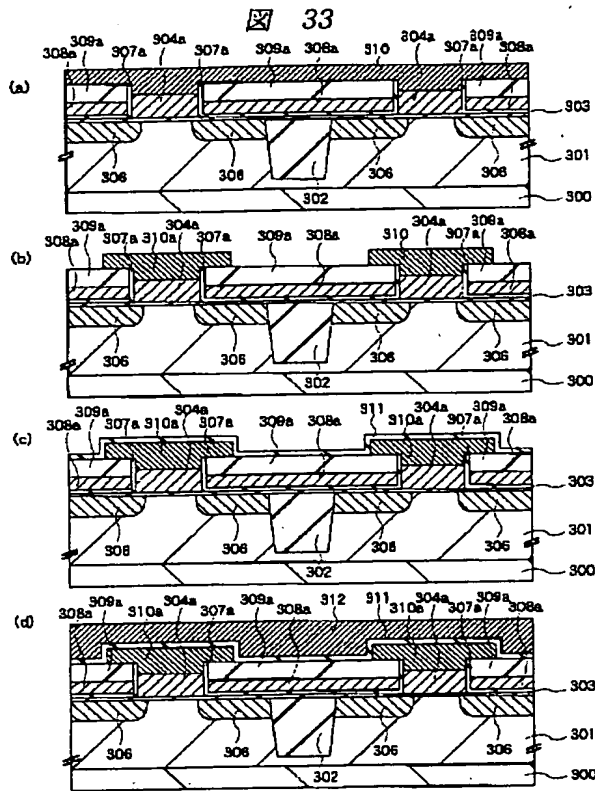


【図 32】

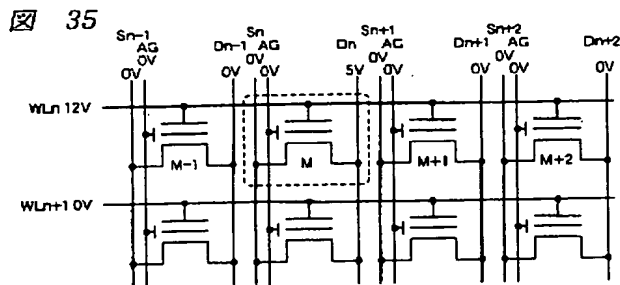
図 32



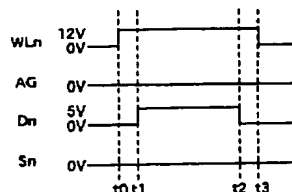
【図33】



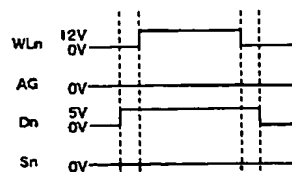
【図35】



(a) 書き込み動作電圧



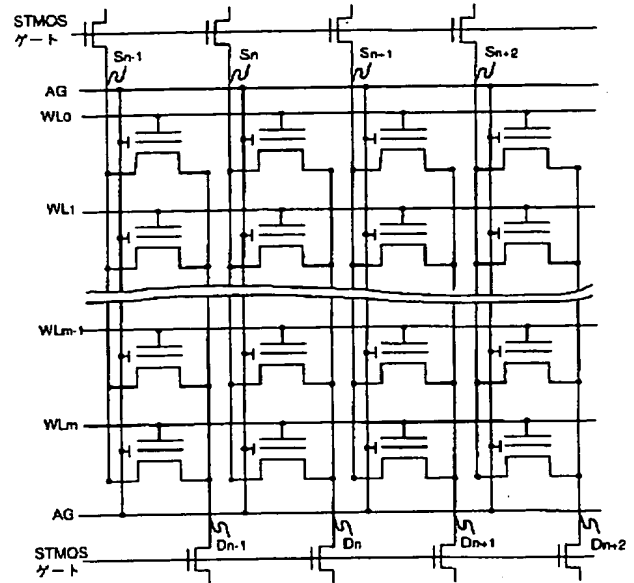
(b) タイミング方式1



(c) タイミング方式2

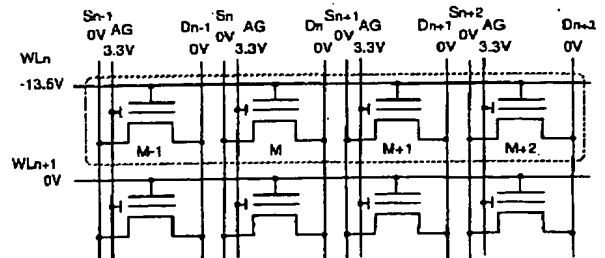
【図34】

図34

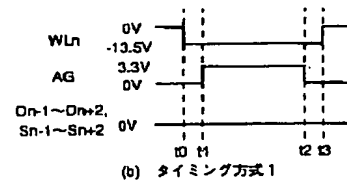


【図36】

図36

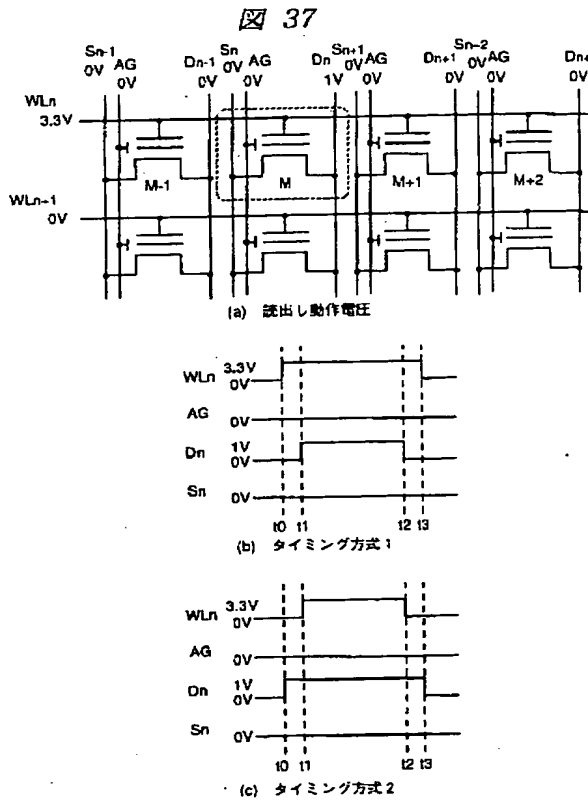


(a) 消去動作電圧

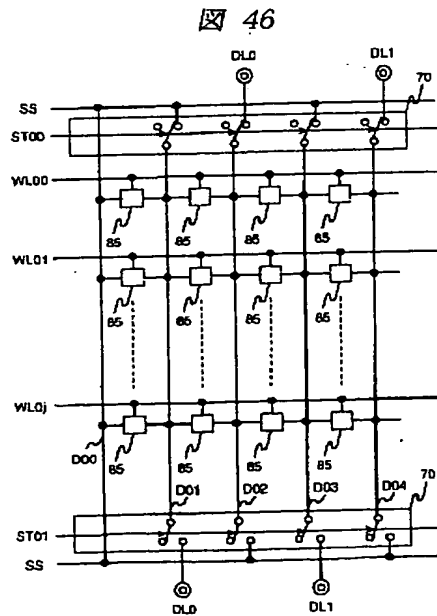


(b) タイミング方式1

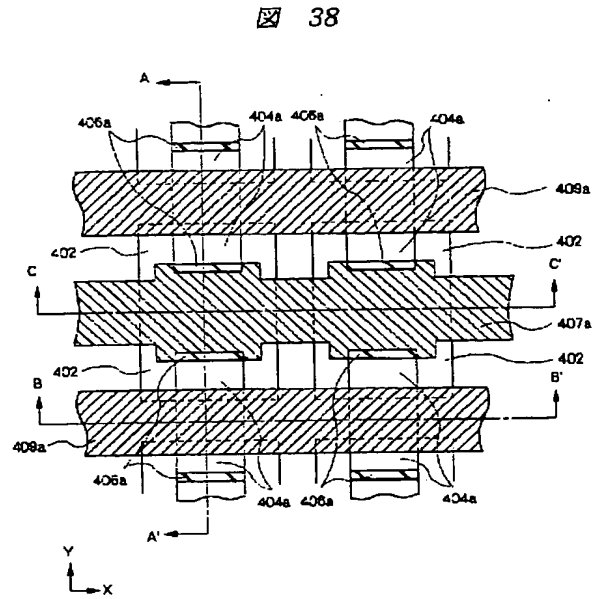
【図37】



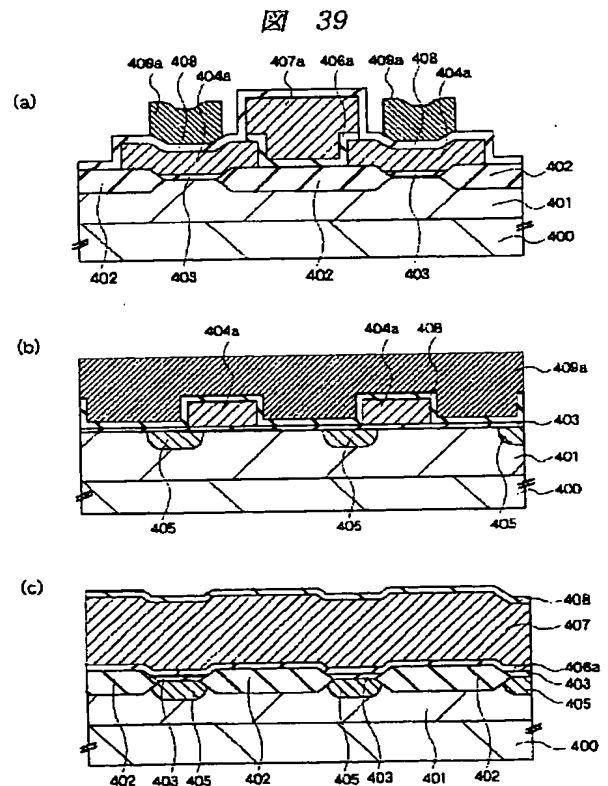
【図46】



【図38】

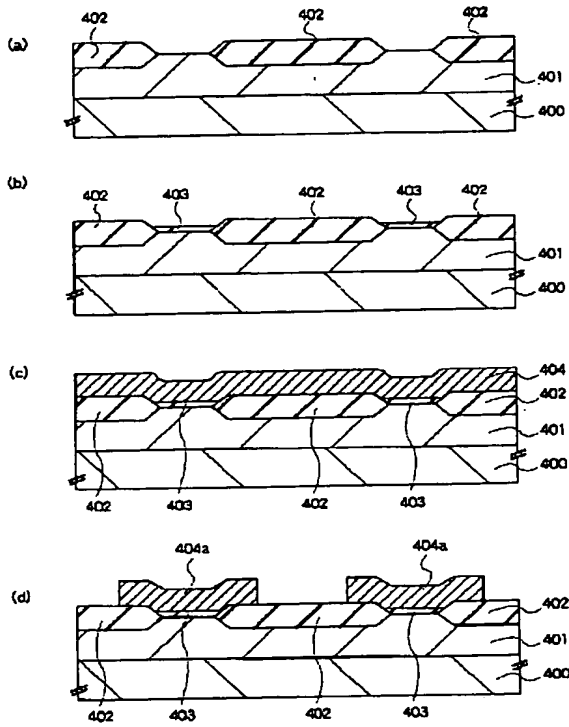


【図39】



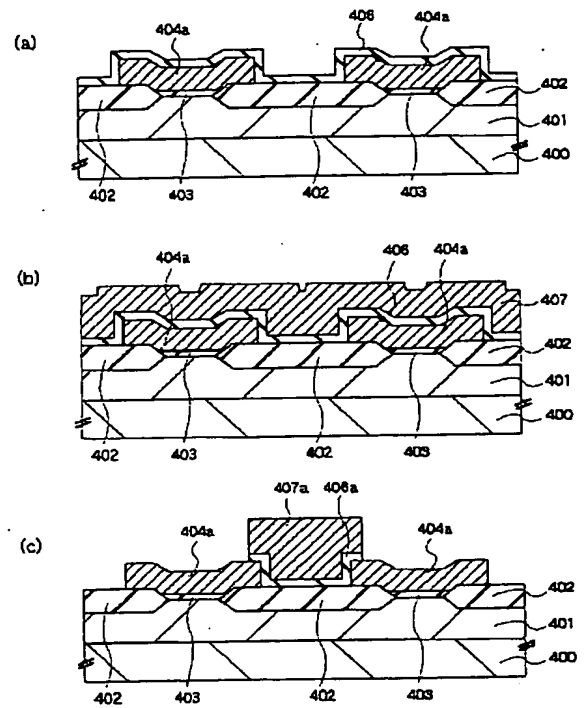
【図 40】

図 40



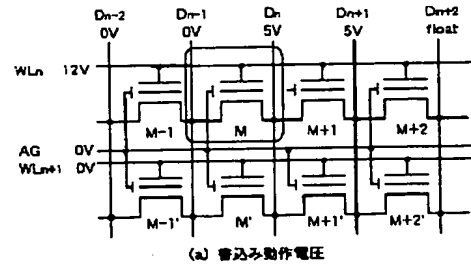
【図 41】

図 41



【図 43】

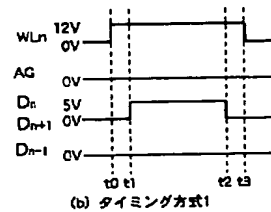
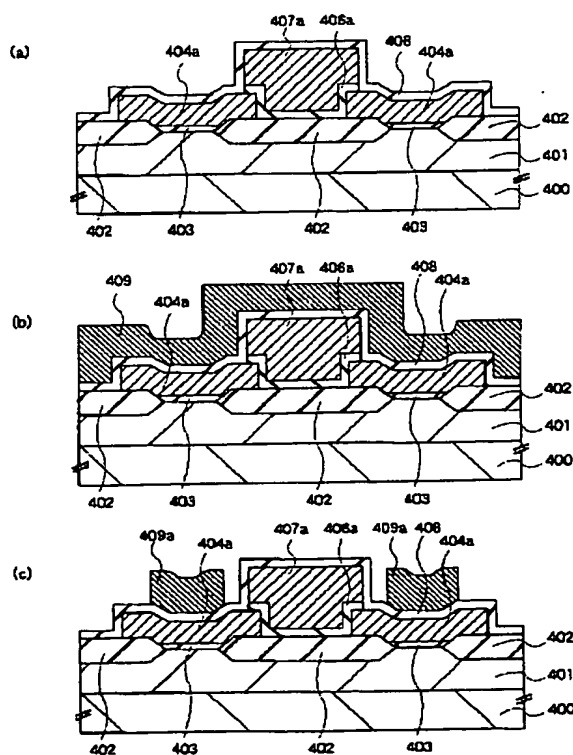
図 43



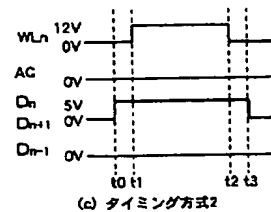
(a) 書き込み動作電圧

【図 42】

図 42



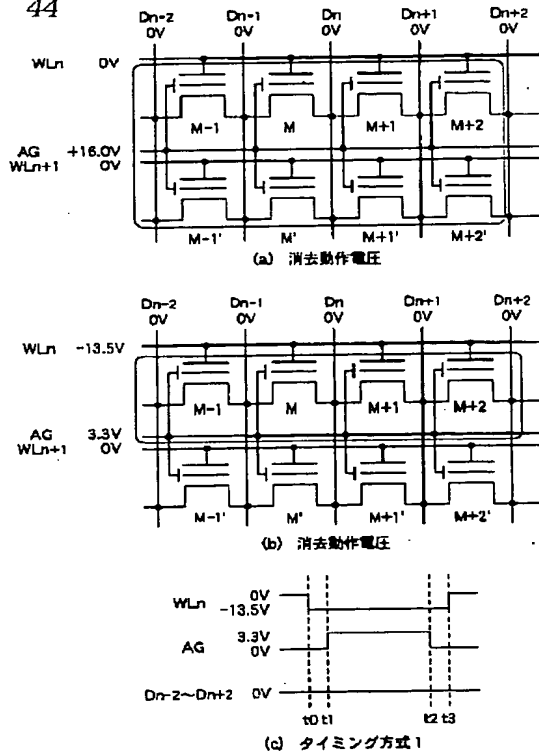
(b) タイミング方式1



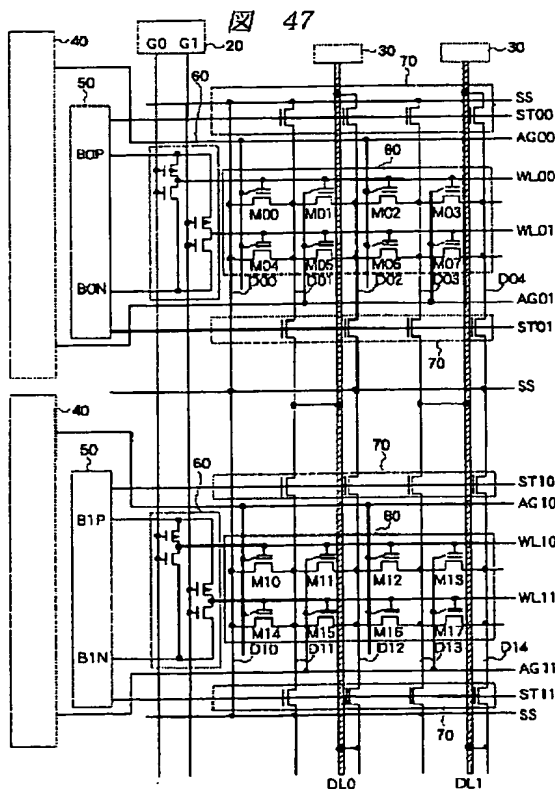
(c) タイミング方式2

【図 44】

図 44

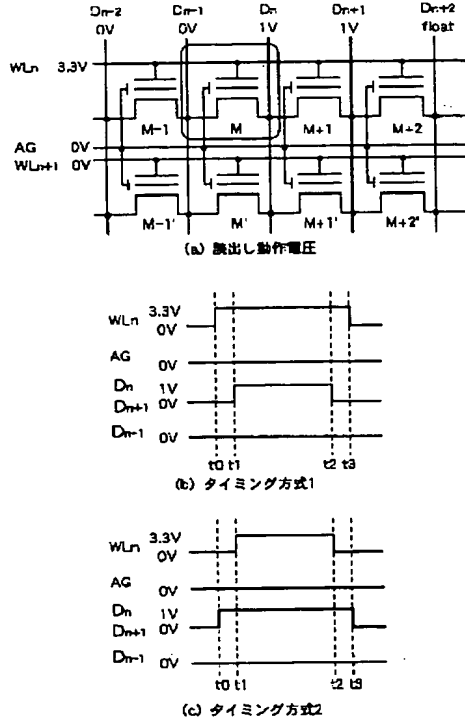


【図 47】



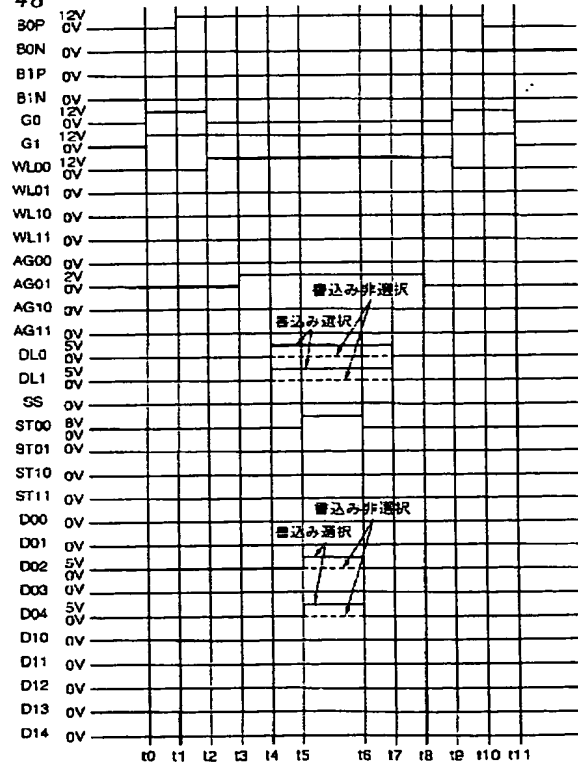
【図 45】

図 45



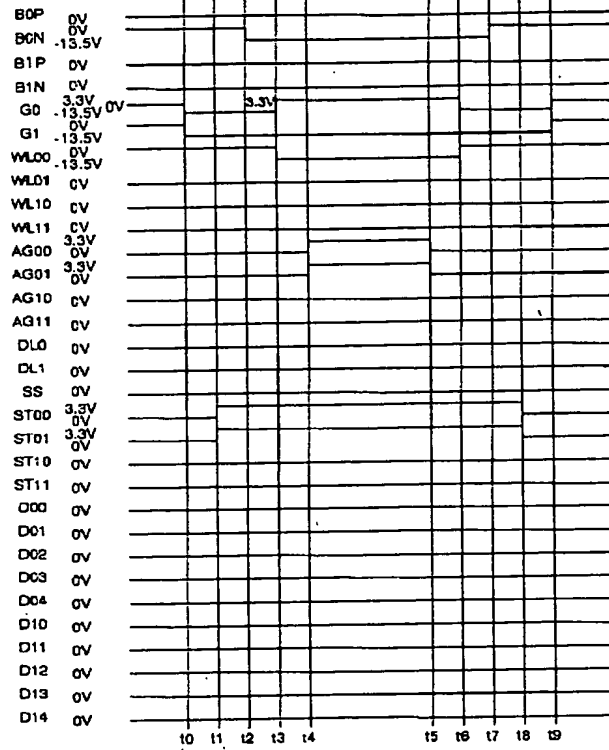
【図 48】

図 48



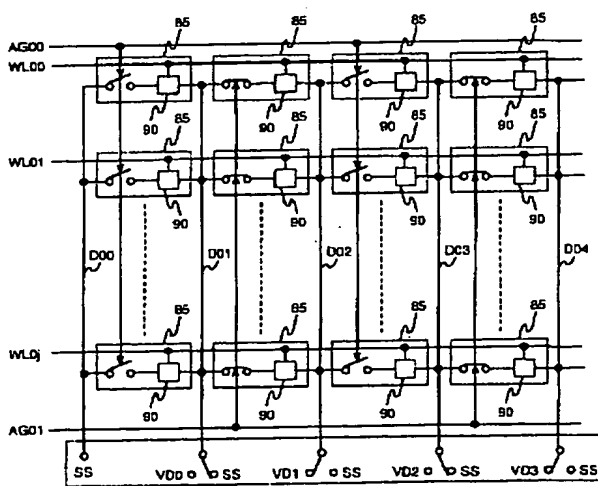
【図 49】

図 49



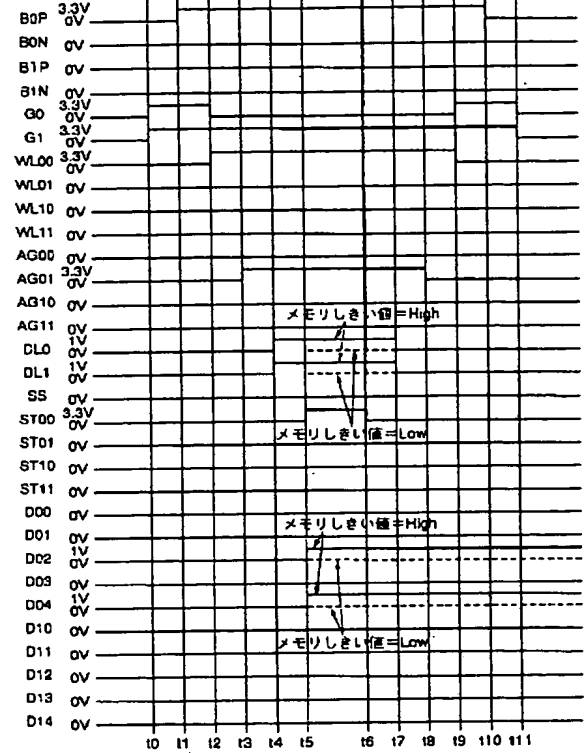
【図 51】

図 51



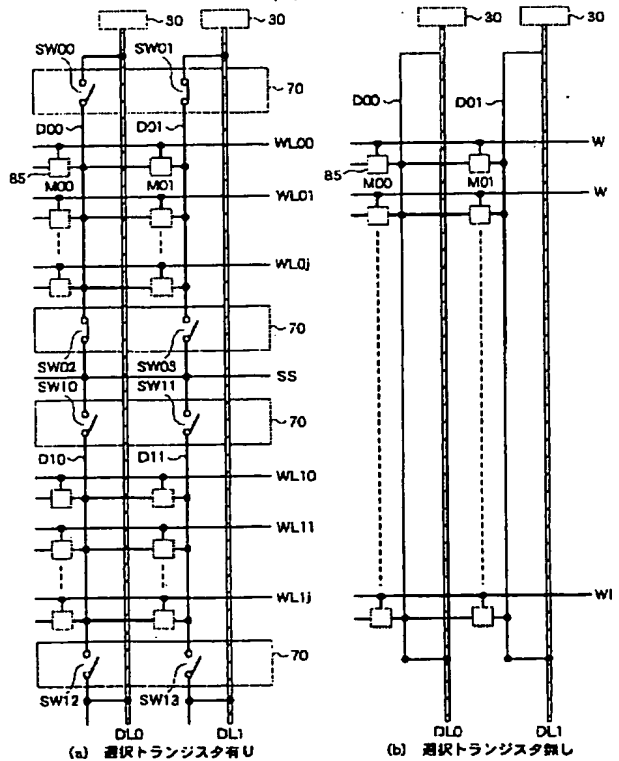
【図 50】

図 50

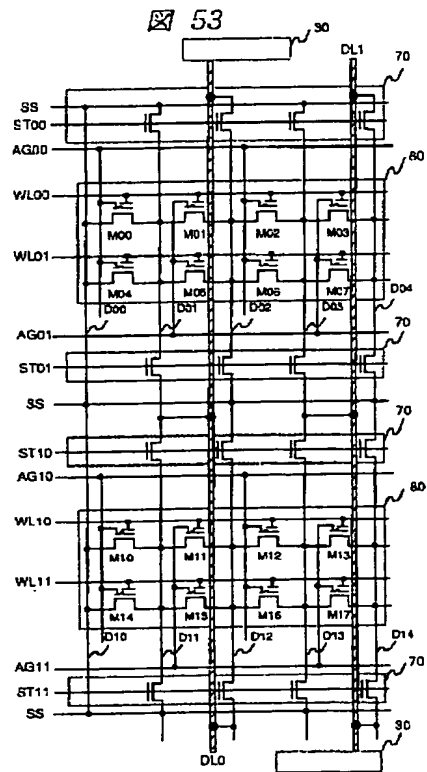


【図 52】

図 52

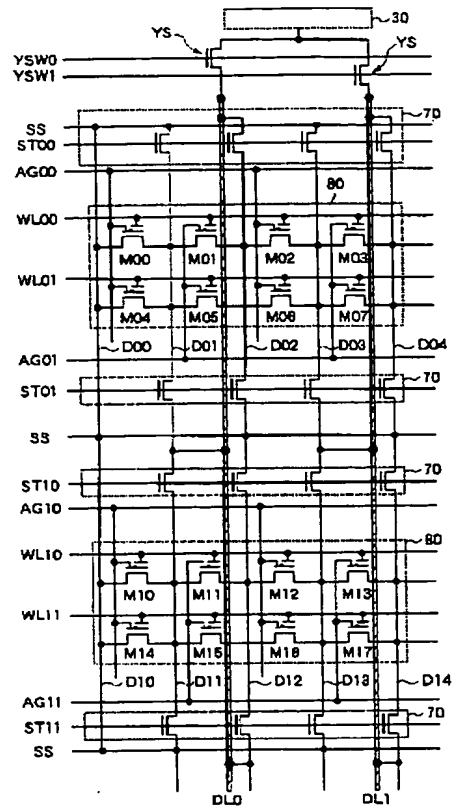


【図 53】



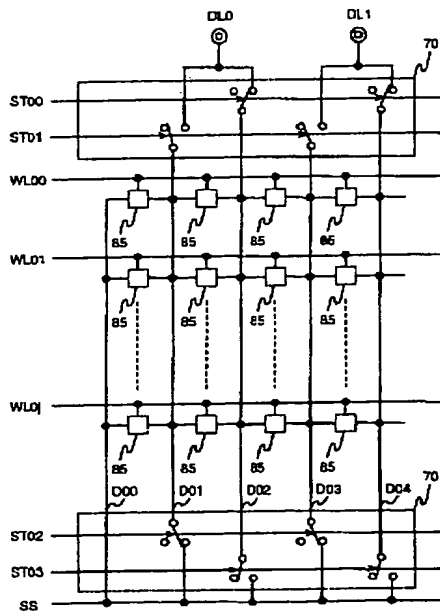
【図 54】

図 54



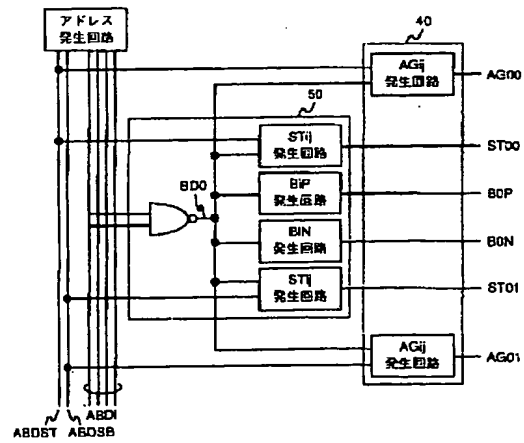
【図 55】

図 55

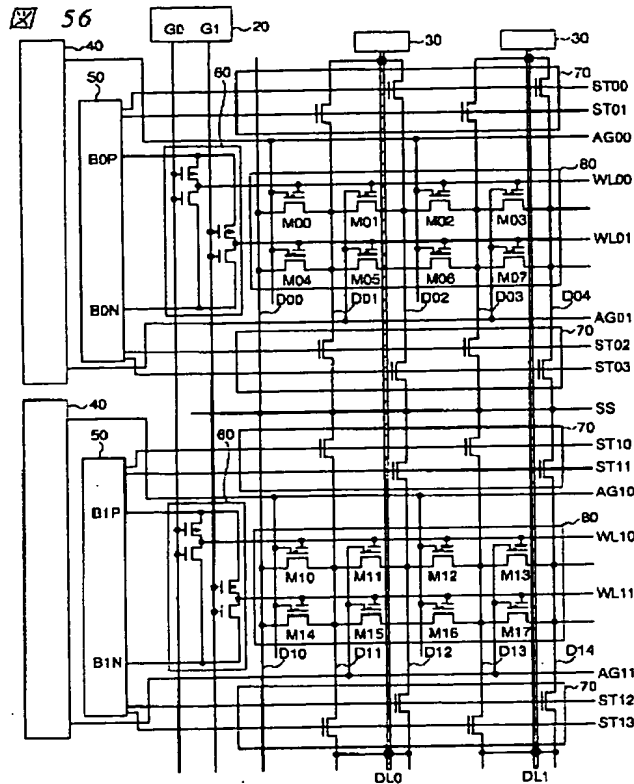


【図 63】

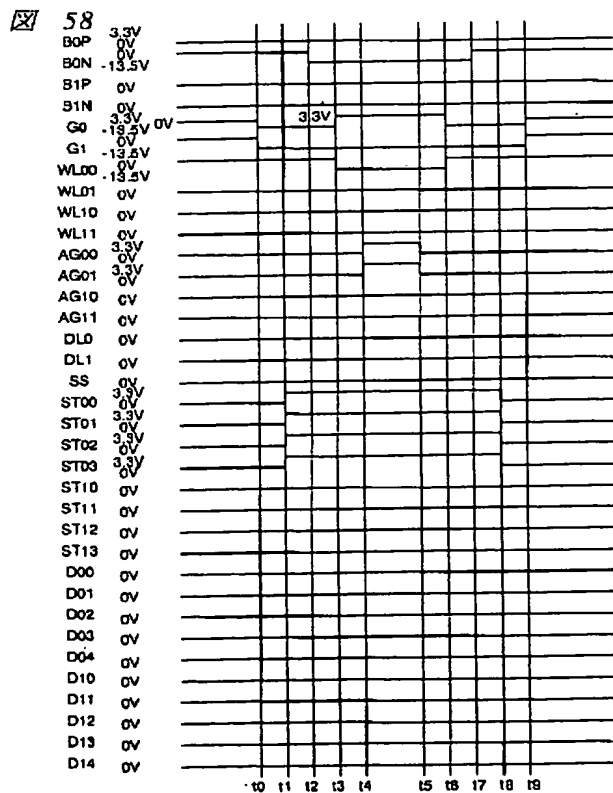
図 63



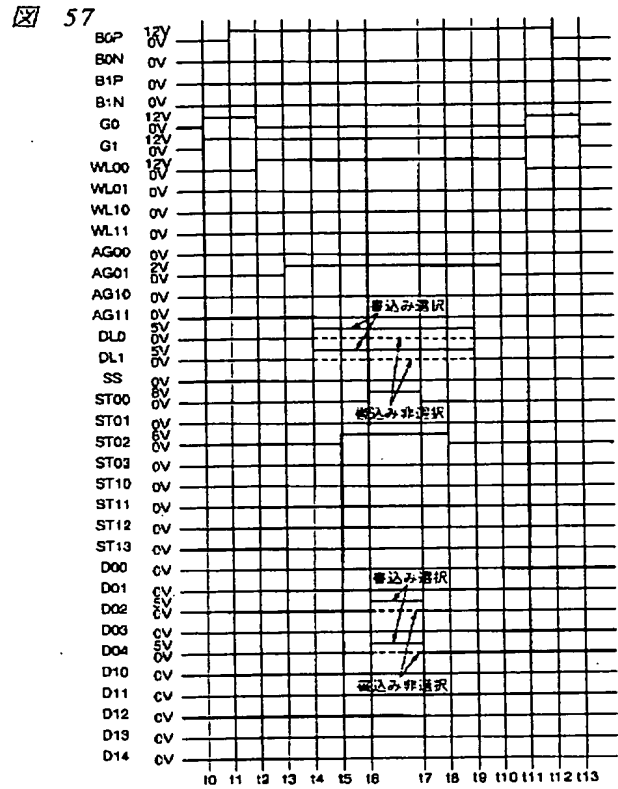
【図56】



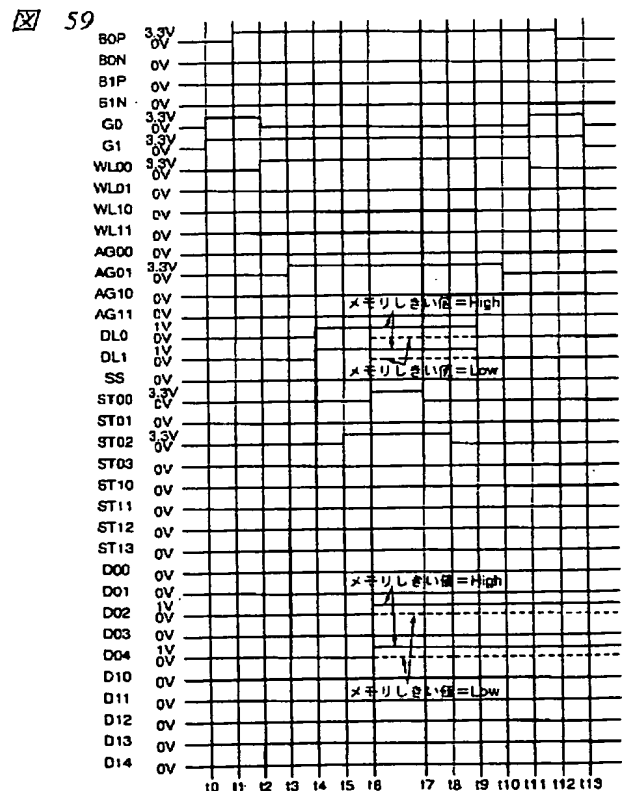
【図58】



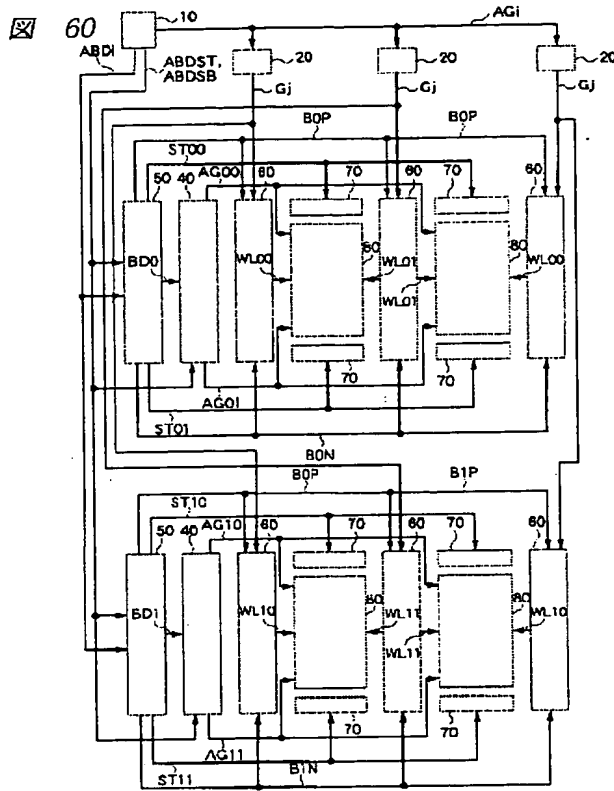
【図57】



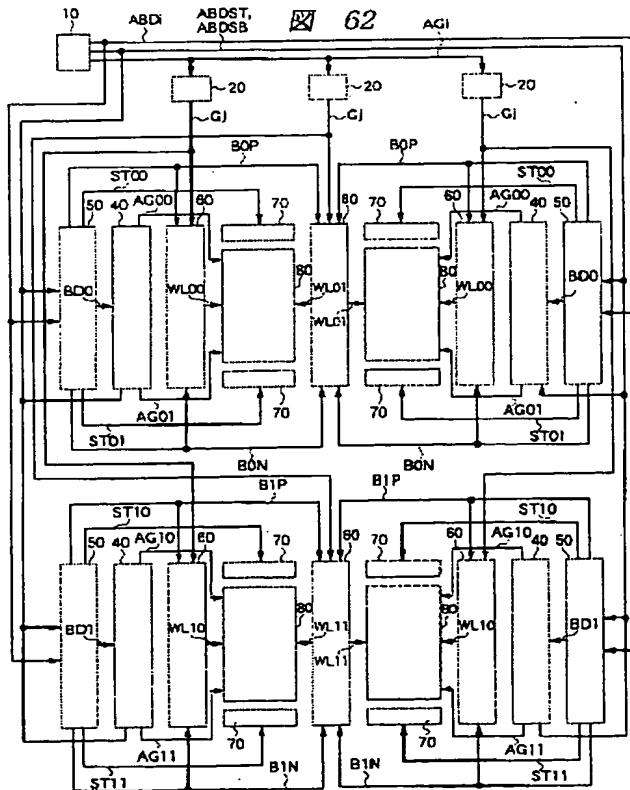
【図59】



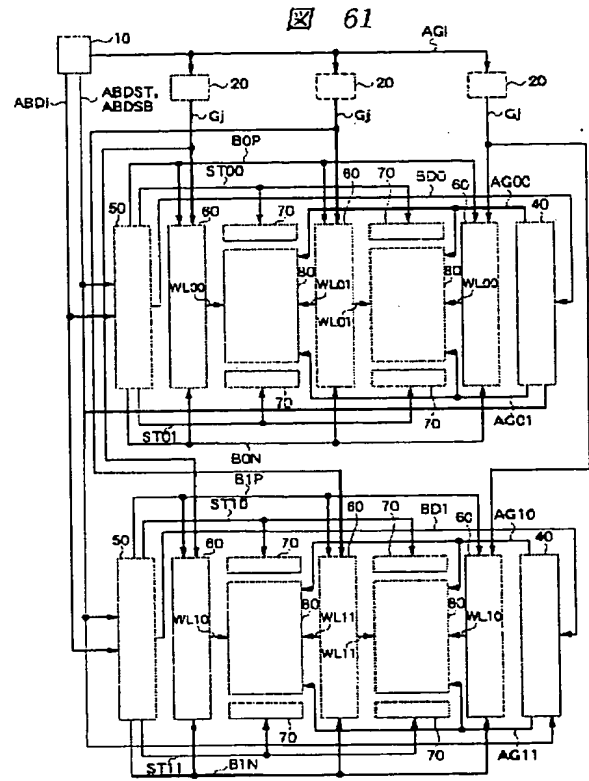
【図 60】



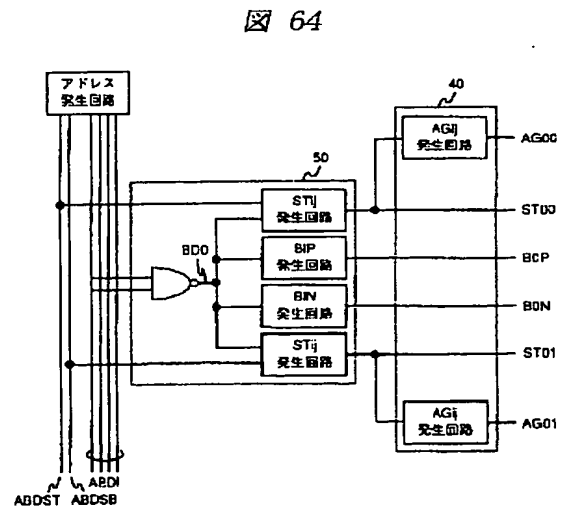
【図 62】



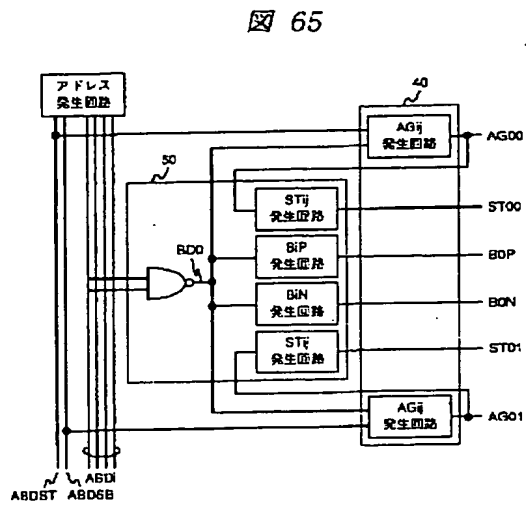
【図 61】



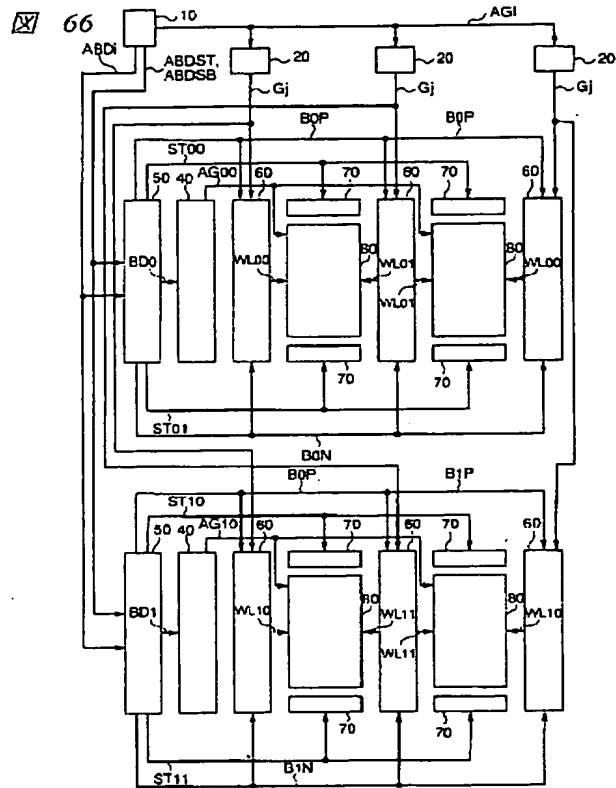
【図 64】



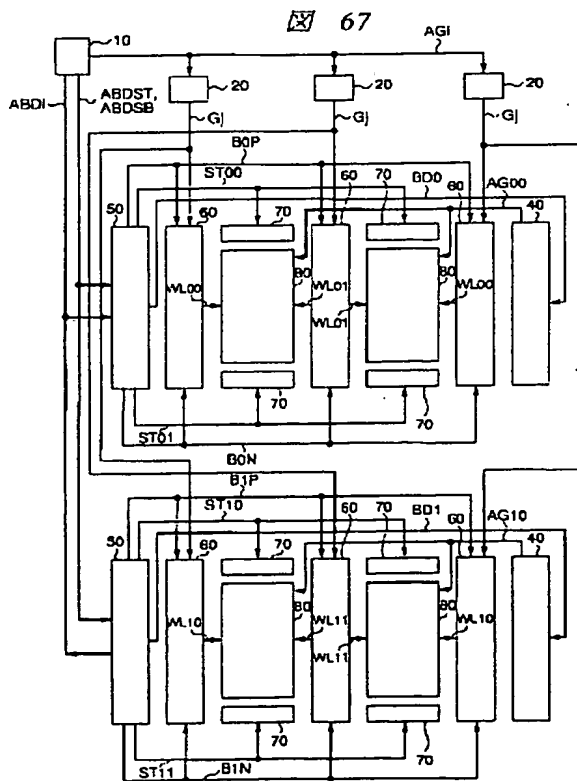
【図 65】



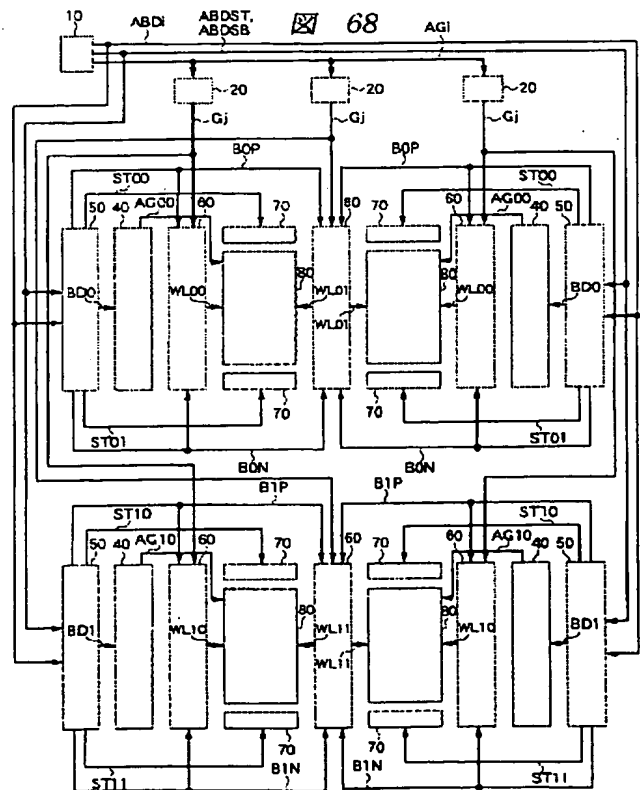
【図 66】



【図 67】

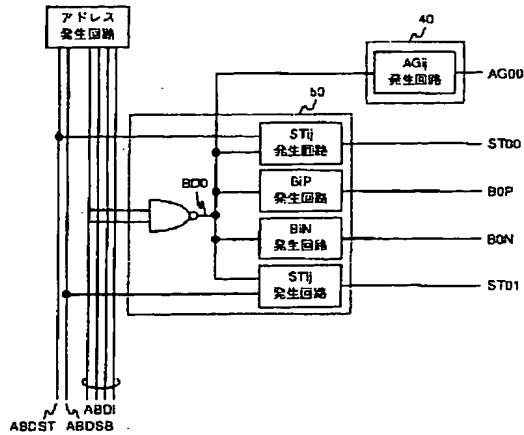


【図 68】



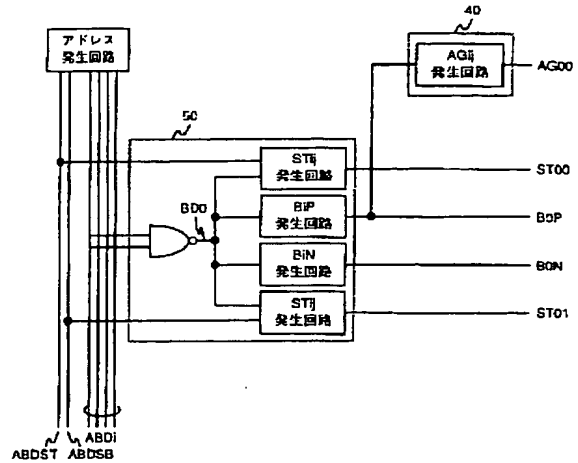
【図 69】

図 69



【図 70】

図 70



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H O 1 L 29/788
29/792

- (72) 発明者 倉田 英明
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
- (72) 発明者 小林 直樹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
- (72) 発明者 久米 均
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
- (72) 発明者 木村 勝高
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

- (72) 発明者 佐伯 俊一
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
- F ターム (参考) 5B025 AA01 AC01 AD08
5F001 AA21 AA23 AA24 AA30 AA31
AB08 AC02 AC06 AD14 AD15
AD41 AD52 AD60 AD62 AE02
AE03 AE08 AG07 AG12 AG30
5F038 CA18 DF05 EZ15 EZ17 EZ18
5F083 EP03 EP05 EP23 EP30 EP33
EP34 EP62 EP67 ER02 ER09
ER18 ER19 ER22 ER30 GA01
GA22 JA35 JA39 JA40 JA53
KA08 KA13 LA01 LA16 LA21
NA01 PR09 PR29 PR33 PR37
ZA28